



PATENT ABSTRACTS OF JAPAN

(11) Publication number. **06187782 A**

(43) Date of publication of application: **08 . 07 . 94**

(51) Int. Cl

G11C 11/409

(21) Application number: **04318111**

(22) Date of filing: **27 . 11 . 92**

(30) Priority: **20 . 10 . 92 JP 04307665**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(72) Inventor:
WADA ATSUSHI
SEKINE SATORU
ISHIZUKA YOSHIYUKI
TANI KUNIYUKI
TAKANO HIROSHI

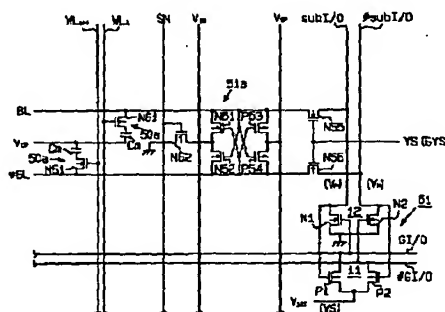
(54) SEMICONDUCTOR MEMORY

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a DRAM having a simple constitution in which reduction of area and increasing operation speed can be realized, while data is not destroyed, at the time of reading operation.

CONSTITUTION: An auxiliary read amplifier 11 and an auxiliary write amplifier 12 are provided at every plural sense amplifiers 51a, and connected with each sense amplifier 51a and one pair of sub-input/output line sub I/O (# sub I/O). Also, plural auxiliary read amplifiers 11 and auxiliary write amplifier 12 hold one pair of global input/output line G I/O (# G I/O) in common. In a pre-charge state, they are set so that the sub-input/output line sub I/O (# sub I/O) is made to be at a H level and the global input/output line G I/O (# G I/O) is made to be at an L level. Owing to the fact, only in the case where data is generated in the sub-input/output line sub I/O (# sub I/O), the auxiliary read amplifier 11 is activated. And, only in the case where data is generated in the global input/output line G I/O (# G I/O), the auxiliary write amplifier is activated.



①

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-187782

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.⁵

G11C 11/409

識別記号

6741-5L

F I

G11C 11/34

353

F

審査請求 有 請求項の数7 (全42頁)

(21)出願番号 特願平4-318111

(22)出願日 平成4年(1992)11月27日

(31)優先権主張番号 特願平4-307665

(32)優先日 平4(1992)10月20日

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 和田 淳

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72)発明者 関根 悟

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72)発明者 石塚 良行

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(74)代理人 弁理士 恩田 博宣 (外1名)

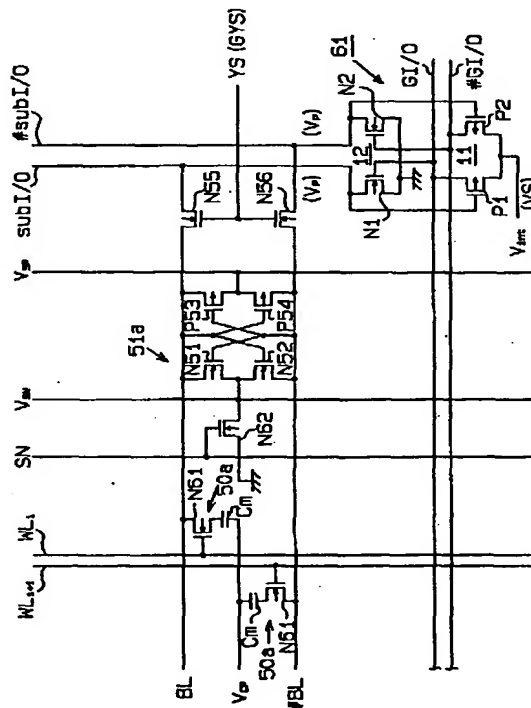
最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【要約】

【目的】省面積化および高速化が実現可能であると共に、読み出し動作時にデータの破壊を起こさないD R A Mを、簡単な構成によって提供する。

【構成】補助リードアンプ11と補助ライトアンプ12とは、複数のセンスアンプ51a毎に設けられ、各センスアンプ51aと一对のサブ入出力線subI/O (#subI/O)によって接続されている。また、複数の補助リードアンプ11および補助ライトアンプ12が、一对のグローバル入出力線GI/O (#GI/O)を共有している。プリチャージ状態において、サブ入出力線subI/O (#subI/O)はHレベル、グローバル入出力線GI/O (#GI/O)はLレベルになるように設定されている。そのため、サブ入出力線subI/O (#subI/O)にデータが生じた場合にのみ補助リードアンプ11が活性化される。また、グローバル入出力線GI/O (#GI/O)にデータが生じた場合にのみ補助ライトアンプ12が活性化される。



【特許請求の範囲】

【請求項 1】 複数のメモリセルアレイと、
その各メモリセルアレイが共有するカラムアドレス選択線と、

前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助リードアンプと、
その各補助リードアンプが共有する一対のグローバル入出力線と、

そのグローバル入出力線に接続されるメインリードアンプとを備え、前記サブ入出力線に読みだされたデータを前記補助リードアンプによって増幅し、その増幅したデータを、前記グローバル入出力線を介して前記メインリードアンプに転送するようにした半導体記憶装置において、

前記補助リードアンプは前記センスアンプから与えられるデータのレベルが所定のレベルに達したときに作動する入力部を有することを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 の半導体記憶装置において、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対の MOS トランジスタからなり、その一対の MOS トランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくしたことを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 の半導体記憶装置において、活性した前記メモリセルアレイ内の前記補助リードアンプの MOS トランジスタのソース電圧を、非活性の前記メモリセルアレイ内の前記センスアンプに接続されるビット線のプリチャージ電圧と等しくしたことを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 の半導体記憶装置において、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧を、非活性の前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定し、活性した前記メモリセルアレイ内の前記補助リードアンプの MOS トランジスタのソース電圧だけを、その MOS トランジスタが接続されている前記サブ入出力線のプリチャージ電圧に追従するように変化させることを特徴とする半導体記憶装置。

【請求項 5】 請求項 2 の半導体記憶装置において、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧を、非活性の前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定すると共に、全ての前記補助リードアンプの MOS トランジスタのソース電圧を、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と等しい電圧値に設定し、活性した前記メモリセルアレイ内の補助リードアンプだけを活性化させることを特徴とする半導体記憶装

置。

【請求項 6】 複数のメモリセルアレイと、
その各メモリセルアレイが共有するカラムアドレス選択線と、

前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助ライトアンプと、

その各補助ライトアンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助ライトアンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、

前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対の MOS トランジスタからなることを特徴とする半導体記憶装置。

【請求項 7】 複数のメモリセルアレイと、
その各メモリセルアレイが共有するカラムアドレス選択線と、

前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助アンプと、

その各補助アンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助アンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、

前記補助アンプは補助リードアンプと補助ライトアンプとからなり、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対の MOS トランジスタからなり、その一対の MOS トランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくし、前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対の MOS トランジスタからなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に係り、詳しくは、ダイナミック RAM (DRAM) に関するものである。

【0002】

【従来の技術】 図 18 は、従来の DRAM の構成を示すブロック回路図である。メモリセルアレイ 50 には、データを保持するメモリセル 50a が多数備えられている。また、各メモリセルアレイ 50 には、複数のセンス

アンプ51aからなるセンスアンプ列51が設けられている。そして、メモリセルアレイ50内のメモリセル50aとセンスアンプ列51内の1つのセンスアンプ51aとが、ビット線BLによって接続されている。

【0003】このメモリセルアレイ50とセンスアンプ列51とからなる各アレイブロックが、共通のカラムアドレス選択線YSによってカラムデコードYDに接続されている。また、メモリセルアレイ50には多数のワード線WLが接続されており、そのワード線WLはワード線ドライバWDによって制御される。そして、各センスアンプ列51内の各センスアンプ51aはそれぞれ、サブデータバス52を介してメインアンプ53に接続されている。さらに、メインアンプ53はデータバス54を介して入出力回路（図示略）に接続されている。

【0004】尚、図18では図面が煩雑になるのを避けるため、1本のワード線WL、1本のビット線BL、1個のメモリセル50a、1個のセンスアンプ51a、1本のカラムアドレス選択線YSだけを図示している。また、ビット線BLは、レベルが反転した反転ビット線#BL（図示略）と2本で対になって構成されている。

【0005】このように構成されたDRAMからデータを読み出す場合は、まず、ワード線WL（およびビット線BL）によってデータを読み出したい所望のメモリセル50aを選択する。

【0006】そして、所望のメモリセル50aに対応するカラムアドレス選択線YSを立ち上げることにより、そのメモリセル50aに保持されているデータは、センスアンプ51aによって増幅されてサブデータバス52に転送される。

【0007】サブデータバス52からメインアンプ53に送られたデータはメインアンプ53によってさらに増幅され、データバス54を介して入出力回路へ出力される。このようなDRAMでは、センスアンプ51aの負荷駆動能力に比べてサブデータバス52の負荷容量が大きいため、動作が遅いという問題があった。さらに、サブデータバス52の負荷容量はビット線BLの負荷容量より大きいため、データの読み出し時にビット線BLと反転ビット線#BLとのビット線対の電位差を縮小してしまう（一般に「データの破壊」と呼ばれる）という問題もあった。

【0008】これを改善するため、近年、図19に示すような補助アンプ61を備えたDRAMが提案されている。このDRAMでは複数のセンスアンプ51aに対して1個の補助アンプ61を設け、複数の補助アンプ61に対して1個のメインアンプ62を設けるようにしている。例えば、512個のセンスアンプ51aのそれぞれに接続された512対のビット線対（すなわち、ビット線BLと反転ビット線#BLとを合計すると1024本）を32対ずつ16組に分割してサブデータバス63とする。そして、各サブデータバス63毎に補助アンプ

61を接続し、16個の補助アンプ61を共通のグローバル入出力線GI/Oを介して1つのメインアンプ62に接続している。

【0009】このように構成されたDRAMからデータを読み出す場合は、まず、ワード線WL（およびビット線BL）によってデータを読み出したい所望のメモリセル50aを選択する。

【0010】そして、所望のメモリセル50aに対応するカラムアドレス選択線YSを立ち上げることにより、そのメモリセル50aに保持されているデータは、センスアンプ51aによって増幅されてサブデータバス63に転送される。

【0011】サブデータバス63から補助アンプ61に送られたデータは補助アンプ61によって増幅され、グローバル入出力線GI/Oを介してメインアンプ62に転送される。そして、当該データはメインアンプ62によって増幅され、データバス64を介して入出力回路（図示略）へ出力される。

【0012】すなわち、図18に示すDRAMではアレイブロック単位のデータ転送が行われているのに対し、図19に示すDRAMでは複数のセンスアンプ単位の転送が行われているわけである。

【0013】図20は、図18および図19に示すDRAMのセンスアンプ51aを示す回路図である。NチャネルMOSトランジスタN51、N52とPチャネルMOSトランジスタP53、P54とによりクロスカップルラッチ形のセンスアンプ51aが構成されている。各トランジスタN51、P53のドレインはビット線BLに接続され、各トランジスタN52、P54のドレインは反転ビット線#BLに接続されている。

【0014】また、各トランジスタN51、P53のゲートは反転ビット線#BLに接続され、各トランジスタN52、P54のゲートはビット線BLに接続されている。そして、各トランジスタN51、N52のソースは共通ソース線VSNによって他のセンスアンプ51aに接続されており、各トランジスタP53、P54のソースは共通ソース線VSPによって他のセンスアンプ51aに接続されている。

【0015】ビット線BLと入出力線I/Oとは、NチャネルMOSトランジスタN55を介して接続されている。また、反転ビット線#BLと反転入出力線#I/Oとは、NチャネルMOSトランジスタN56を介して接続されている。

【0016】そして、各トランジスタN55、N56のゲートはカラムアドレス選択線YSに接続されている。ここで、入出力線I/Oおよび反転入出力線#I/Oにはそれぞれ途中にストレーキャパシタCa、Cbが存在している。また、ビット線BLおよび反転ビット線#BLにはそれぞれ途中にストレーキャパシタC1、C2が存在している。

【0017】このように構成されたセンスアンプ51aにおいて読み出しを行う場合、カラムアドレス選択線YSが選択されると、その選択されたカラムアドレス選択線YSに接続されているトランジスタN55、N56がオンする。すると、オンしたトランジスタN55(N56)を介して、ビット線BL(反転ビット線#BL)と入出力線I/O(反転入出力線#I/O)とが容量結合する。

【0018】入出力線I/Oと反転入出力線#I/Oとの入出力線対の容量(すなわち、ストレージキャパシタCa、Cbの容量)がビット線BLと反転ビット線#BLとのビット線対の容量(すなわち、ストレージキャパシタC1、C2)より大きい場合、ビット線対に十分な電位差が生じていないと、前記両者の容量結合によってビット線対の電位差が縮小してしまう(すなわち、ビット線対のデータが破壊される)可能性がある。

【0019】ここで、図18に示すサブデータバス52および図19に示すサブデータバス63は、それぞれ図20に示す入出力線I/Oと反転入出力線#I/Oとで構成されている。しかしながら、前記したように、サブデータバス63の方が、接続されているセンスアンプ51a

の数が多い分だけ、サブデータバス52より配線長が短くなり、負荷容量も小さくなっている。

【0020】そのため、図18に示すDRAMにおける入出力線対の容量はビット線対の容量の数倍であるのに対し、図19に示すDRAMにおける入出力線対の容量はビット線対の容量と大差ない。従って、図19に示すDRAMではデータの破壊を防止することができる。また、図18に示すDRAMではデータが破壊されないようにビット線対の電位差が読み出し前に十分大きくなるのを待つ必要があったのに対して、図19に示すDRAMではその必要がなく読み出し動作の高速化が可能である。

【0021】さらに、図19に示すDRAMでは、メモリセルアレイ50上にデータバス(グローバル入出力線GI/O)を備えるため、特に内部バスが多く要求される場合(例えば、多ビットDRAM)においては、バスラインのパターン面積を少なくでき省面積化に有効である。

【0022】図21は、データの破壊を防止するために読み出しゲートを改良したDRAMにおけるセンスアンプとその周辺回路を示す回路図である。このDRAMでは、ビット線BLと反転ビット線#BLとの間に読み出しゲート71および書き込みゲート72を備えている。

【0023】読み出しゲート71は各MOSトランジスタTR1~TR4によって構成されている。すなわち、読み出しデータバスRDBにトランジスタTR1、TR2の直列回路が接続され、反転読み出しデータバス#RDBにトランジスタTR3、TR4の直列回路が接続されている。そして、各トランジスタTR1、TR3のゲートは読み出しカラムアドレス選択線YRに接続されている。また、トランジスタTR2のゲートはビット線BLに、トランジスタTR4の

ゲートは反転ビット線#BLにそれぞれ接続され、各トランジスタTR2、TR4のソースは接地されている。そして、読み出しカラムアドレス選択線YRからは、読み出し動作に同期して読み出しゲート71を活性化させるための制御信号が与えられる。

【0024】一方、書き込みゲート72は従来のゲートと同じ構成である。すなわち、書き込みデータバスWDBとビット線BLとの間にMOSトランジスタTW1が接続され、反転書き込みデータバス#WDBと反転ビット線#BLとの間にMOSトランジスタTW2が接続されている。その各トランジスタTW1、TW2のゲートは書き込みカラムアドレス選択線YWに接続されている。そして、書き込みカラムアドレス選択線YWからは、書き込み動作に同期して書き込みゲート72を活性化させるための制御信号が与えられる。

【0025】また、ビット線BLと反転ビット線#BLとの間には、図20に示したのと同じ構成のセンスアンプ51aが接続されている。そして、ワード線WLとビット線BLには、NチャネルMOSトランジスタN61とキャパシタCmとからなるメモリセル50aが接続されている。尚、反転ビット線#BLに接続されているメモリセル50aについては図示しない。

【0026】このように構成されたDRAMにおいては、読み出しゲート71によってビット線対のデータが一段増幅されるため、データの破壊を防止することができる。すなわち、このDRAMは、ビット線対のデータ増幅型のデータ非破壊型読み出し方式であるといえる。ところで、この方式ではセンスアンプ51a毎に読み出しゲート71を設ける必要があるため、センスアンプ列51のパターン面積が大きくなり省面積化に不利となる。

【0027】そこで、図21に示す読み出しゲート71をビット線対毎(すなわち、センスアンプ51a毎)ではなく、補助アンプ61毎に設ける方式が種々提案されている。

【0028】図22は、読み出しゲート73および書き込みゲート74を補助アンプ61毎に設けた方式の一つであって、「VLSI SYMPOSIUM ON CIRCUITS, 1991」に開示されている方式の要部回路図である。

【0029】読み出しゲート73は各MOSトランジスタTR11~TR15によって構成されている。すなわち、ローカル入出力線LI/OにトランジスタTR11、TR12の直列回路が接続され、反転ローカル入出力線#LI/OにトランジスタTR13、TR14の直列回路が接続されている。そして、各トランジスタTR12、TR14はトランジスタTR15を介して接地されている。トランジスタTR15のゲートは読み出しカラムアドレス選択線YRに接続されている。

【0030】また、各トランジスタTR11、TR13のゲートは、読み出しゲート73を選択するためのセクション

10

20

30

40

50

選択線SSに接続されている。さらに、トランジスタTR12のゲートはビット線BLに、トランジスタTR14のゲートは反転ビット線 $\bar{B}L$ にそれぞれ接続されている。そして、読み出しカラムアドレス選択線YRからは、読み出し動作に同期して読み出しゲート73を活性化させるための制御信号が与えられる。

【0031】一方、書き込みゲート74は各MOSトランジスタTW11, TW12によって構成されている。すなわち、各トランジスタTR11, TR12の接続部とビット線BLとの間にトランジスタTW11が接続され、各トランジスタTR13, TR14の接続部と反転ビット線 $\bar{B}L$ との間にトランジスタTW12が接続されている。その各トランジスタTW11, TW12のゲートは書き込みカラムアドレス選択線YWに接続されている。そして、書き込みカラムアドレス選択線YWからは、書き込み動作に同期して書き込みゲート74を活性化させるための制御信号が与えられる。

【0032】また、ビット線BLと反転ビット線 $\bar{B}L$ の間には、図20と同様に、各トランジスタN55, N56を介してセンスアンプ51aが接続されている。このように構成された読み出しゲート73および書き込みゲート74は、センスアンプ51a毎にではなく補助アンプ61毎に設けられている。例えば、「VLSI SYMPOSIUM ON CIRCUITS, 1991」では、8個のセンスアンプ51aに対して1個の補助アンプ61が設けられている。従って、図22に示すDRAMは図21に示すDRAMに比べて、省面積化を図ることができる。

【0033】また、図23も、読み出しゲートおよび書き込みゲートを補助アンプ61毎に設けた方式の一つであって、「1992年電子情報通信学会春季大会C-631『高速化に適したDRAMのアレイ構成』」に開示されている方式の要部回路図である。

【0034】この場合、センスアンプ51aと補助アンプ61とは、サブデータバス63を構成するサブ入出力線subI/0および反転サブ入出力線 $\bar{sub}I/0$ によって接続されている。

【0035】また、補助アンプ61は、メモリセルアレイ50のワード線裏打ち部（ワード線シャント部）に設けられている。すなわち、近年、ワード線WLの配線抵抗を小さくしてDRAMを高速で動作させることが要求されている。ところが、一般にワード線WLはMOSトランジスタのゲートを延長して利用しており、配線抵抗を小さくするためにワード線WLの線幅を広くするとパターン面積が大きくなって省面積化に反する。

【0036】そこで、図24に示すように、ワード線WLの上部にアルミニウム等によるメタル線MLを形成し、そのメタル線MLとワード線WLとを所定の間隔に設けたコンタクトホールCHによって接続している。例えば、64個のセンスアンプ51aでセンスアンプ列51を構成し、そのセンスアンプ列51毎にコンタクトホールCHを設けている。

【0037】メモリセルアレイ50において、このコンタクトホールCHが設けられている部分が、一般に「ワード線裏打ち部」または「ワード線シャント部」と呼ばれている部分である。このワード線裏打ち部にはメモリセル50aやビット線BL, 反転ビット線 $\bar{B}L$ が設けられていない。また、この部分のセンスアンプ列51部分にはセンスアンプ51が設けられておらず、従来、言わば「空き地」になっていた。この「空き地」の部分に補助アンプ61を設けると共に、グローバル入出力線GI/0および反転グローバル入出力線 $\bar{GI}/0$ を設けて、スペースの有効利用を図ろうというわけである。

【0038】図23に示すように、センスアンプ51aの構成は図20に示すものと同じである。ワード線WL_iとビット線BL（および、ワード線WL_iの隣のワード線WL_{i+1}と反転ビット線 $\bar{B}L$ ）にはそれぞれ、トランジスタN61とキャパシタC_mとからなる各メモリセル50aが接続されている。そして、各キャパシタC_mのトランジスタN61に接続されている側とは反対側の電極は、電源線VCPに接続されている。この電源線VCPには、常時、内部電源電圧V_{int}の1/2の電圧（=V_{int}/2）が印加されている。尚、ビット線BLおよび反転ビット線 $\bar{B}L$ のプリチャージ電圧VBLPも内部電源電圧V_{int}の1/2の電圧に設定されている（VBLP = VCP = V_{int}/2）。

【0039】ビット線BLとサブ入出力線subI/0とはトランジスタN55を介して接続されており、反転ビット線 $\bar{B}L$ と反転サブ入出力線 $\bar{sub}I/0$ とはトランジスタN56を介して接続されている。

【0040】補助アンプ61は6個のNチャネルMOSトランジスタN71~76から構成されている。すなわち、サブ入出力線subI/0とグランドとの間には各トランジスタN71, N72, N73が直列に接続され、反転サブ入出力線 $\bar{sub}I/0$ とグランドとの間には各トランジスタN74, N75, N76が直列に接続されている。また、ソースが接地されているトランジスタN73のゲートはサブ入出力線subI/0に接続され、ソースが接地されているトランジスタN76のゲートは反転サブ入出力線 $\bar{sub}I/0$ に接続されている。各トランジスタN71, N74のゲートは書き込みカラムアドレス選択線YWに接続され、各トランジスタN72, N75のゲートは読み出しカラムアドレス選択線YRに接続されている。そして、読み出しカラムアドレス選択線YRからは、読み出し動作に同期してHレベルの制御信号が与えられる。一方、書き込みカラムアドレス選択線YWからは、書き込み動作に同期してHレベルの制御信号が与えられる。さらに、各トランジスタN71, N72の接続部はグローバル入出力線GI/0に接続され、各トランジスタN74, N75の接続部は反転グローバル入出力線 $\bar{GI}/0$ に接続されている。

【0041】次に、このように構成されたDRAMの読

み出し動作を、図 2 5 に示すタイムチャートに従って説明する。尚、メモリセル 5 0 a やセンスアンプ 5 1 a の動作については公知であるのでその詳細な説明は省略する。

【 0 0 4 2 】読み出し動作を行う前において、サブ入出力線 sub I / 0、反転サブ入出力線 # sub I / 0、グローバル入出力線 GI / 0、反転グローバル入出力線 # GI / 0 は全て H レベルにプリチャージしておく。

【 0 0 4 3 】そして、所望のワード線 WLi を H レベルに立ち上げると、そのワード線 WLi に接続されているメモリセル 5 0 a の状態に応じて、ビット線 BL と反転ビット線 # BL とのビット線対の電圧が変化する。センスアンプ 5 1 a はそのビット線対の電圧の変化を増幅し、内部電源電圧 Vint とグランドレベル (= 0 V) との間でビット線対をフルスイングさせる。

【 0 0 4 4 】ここで例えば、ビット線 BL が L レベルで反転ビット線 # BL が H レベルになっているとする。そして、所望のカラムアドレス選択線 YS を H レベルに立ち上げると、そのカラムアドレス選択線 YS に接続されているトランジスタ N 5 5、N 5 6 はオンする。すると、サブ入出力線 sub I / 0 は H レベルから L レベルにディスチャージされ、反転サブ入出力線 # sub I / 0 は H レベルのまま保持される。

【 0 0 4 5 】サブ入出力線 sub I / 0 および反転サブ入出力線 # sub I / 0 のレベルが確定したら、読み出しカラムアドレス選択線 YR から H レベルの制御信号が与えられ各トランジスタ N 7 2、N 7 5 はオンする。そのため、トランジスタ N 7 6 はオンすると共にトランジスタ N 7 3 はオフする。

【 0 0 4 6 】従って、オンした各トランジスタ N 7 5、N 7 6 を介して、反転グローバル入出力線 # GI / 0 は H レベルから L レベルにディスチャージされる。一方、グローバル入出力線 GI / 0 は H レベルのまま保持される。

【 0 0 4 7 】このように、ディスチャージされたサブ入出力線 sub I / 0 (反転サブ入出力線 # sub I / 0) に対して、グローバル入出力線 GI / 0 (反転グローバル入出力線 # GI / 0) には変化がなく、プリチャージ状態の H レベルが保持される。一方、ディスチャージされたサブ入出力線 sub I / 0 (反転サブ入出力線 # sub I / 0) に対して、反転グローバル入出力線 # GI / 0 (グローバル入出力線 GI / 0) はディスチャージされて L レベルになる。

【 0 0 4 8 】その結果、補助アンプ 6 1 は、サブ入出力線 sub I / 0 および反転サブ入出力線 # sub I / 0 からのデータを増幅して、グローバル入出力線 GI / 0 および反転グローバル入出力線 # GI / 0 に転送することができる。

【 0 0 4 9 】

【発明が解決しようとする課題】ところで、プリチャージ状態のときに各トランジスタ 7 2、7 5 がオンすると各トランジスタ 7 3、7 6 もオンし、オンした各トランジスタ 7 2、7 3 および各トランジスタ 7 5、7 6 に

ってそれぞれ導通パスが構成される。すると、グローバル入出力線 GI / 0、反転グローバル入出力線 # GI / 0 は共に L レベルになってしまい、H レベルにプリチャージすることができなくなる。

【 0 0 5 0 】また、同様の理由により、サブ入出力線 sub I / 0 および反転サブ入出力線 # sub I / 0 のレベルが十分に確定しないうちに各トランジスタ 7 2、7 5 がオンした場合、サブ入出力線 sub I / 0 (反転サブ入出力線 # sub I / 0) とグローバル入出力線 GI / 0 (反転グローバル入出力線 # GI / 0) との容量結合によって、誤動作が起こる可能性がある。

【 0 0 5 1 】従って、読み出しカラムアドレス選択線 YR からの制御信号は、カラムアドレス選択線 YS と正確に同期をとっておかなければならない。さらに、グローバル入出力線 GI / 0 および反転グローバル入出力線 # GI / 0 は、複数の補助アンプ 6 1 に共用されている。そのため、非活性なメモリセルアレイ 5 0 の補助アンプ 6 1 をグローバル入出力線 GI / 0 および反転グローバル入出力線 # GI / 0 から切り離さないと、前記したプリチャージ状態のときに各トランジスタ 7 2、7 5 がオンして導通パスが構成された場合と同様の問題が生じる。従って、非活性なメモリセルアレイ 5 0 の補助アンプ 6 1 をグローバル入出力線 GI / 0 および反転グローバル入出力線 # GI / 0 から切り離す必要があり、読み出し補助アンプ選択線 YR からの制御信号は、それを留意してコントロールする必要がある。

【 0 0 5 2 】その結果、読み出し補助アンプ選択線 YR を制御するための回路が複雑になると共に、上記した様々なタイミングを最適に合わせるのに時間がかかる。また、各補助アンプ 6 1 毎に読み出し補助アンプ選択線 YR を設けなければならず、全ての読み出し補助アンプ選択線 YR の占めるパターン面積は相当大きなものになる。結局、図 2 3 に示す方式の D R A M において、読み出し補助アンプ選択線 YR を設けて補助アンプ 6 1 を制御する場合には、省面積化が阻害される上に十分な高速化を実現できなくなる。

【 0 0 5 3 】ところで、図 2 3 に示す方式の D R A M においては、読み出し補助アンプ選択線 YR に関する問題だけでなく、書き込み補助アンプ選択線 YW についても同様の問題がある。

【 0 0 5 4 】すなわち、書き込み補助アンプ選択線 YW を制御するための回路が複雑になると共に、書き込み動作においても様々なタイミングを最適に合わせる必要がある。また、各補助アンプ 6 1 毎に書き込み補助アンプ選択線 YW を設けなければならず、全ての書き込み補助アンプ選択線 YW の占めるパターン面積は相当大きなものになる。従って、書き込み補助アンプ選択線 YW を設けて補助アンプ 6 1 を制御する場合にも、省面積化が阻害される上に高速化を十分に実現できなくなる。

【 0 0 5 5 】また、図 2 2 に示す方式の D R A M におい

ても、読み出し補助アンプ選択線YRおよび書き込み補助アンプ選択線YWを設けるため、図23に示す方式のDRAMと同様の問題を生じることになる。

【0056】本発明は上記問題点を解決するためになされたものであって、その目的は、省面積化および高速化を実現できると共に、読み出し動作時にデータの破壊を起こさない半導体記憶装置を、簡単な構成によって提供することにある。

【0057】

【課題を解決するための手段】請求項1記載の発明は、
10 複数のメモリセルアレイと、その各メモリセルアレイが共有する補助アンプ選択線と、前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助リードアンプと、その各補助リードアンプが共有する一対のグローバル入出力線と、そのグローバル入出力線に接続されるメインリードアンプとを備え、前記サブ入出力線に読みだされたデータを前記補助リードアンプによって増幅し、その増幅したデータを、前記グローバル入出力線を介して前記メインリードアンプに転送するよう
20 にした半導体記憶装置において、前記補助リードアンプは前記センスアンプから与えられるデータのレベルが所定のレベルに達したときに作動する入力部を有することをその要旨とする。

【0058】請求項2記載の発明は、請求項1の半導体記憶装置において、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対のMOSトランジスタからなり、その一対のMOSトランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくしたことをその要旨とする。

【0059】請求項3記載の発明は、請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内の前記補助リードアンプのMOSトランジスタのソース電圧を、非活性の前記メモリセルアレイ内の前記センスアンプに接続されるビット線のプリチャージ電圧と等しくしたことをその要旨とする。

【0060】請求項4記載の発明は、請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内の
40 サブ入出力線のプリチャージ電圧を、非活性の前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定し、活性した前記メモリセルアレイ内の前記補助リードアンプのMOSトランジスタのソース電圧だけを、そのMOSトランジスタが接続されている前記サブ入出力線のプリチャージ電圧に追従するように変化させることをその要旨とする。

【0061】請求項5記載の発明は、請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内の
50 サブ入出力線のプリチャージ電圧を、非活性の前記メモ

リセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定すると共に、全ての前記補助リードアンプのMOSトランジスタのソース電圧を、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と等しい電圧値に設定し、活性した前記メモリセルアレイ内の補助リードアンプだけを活性化させることをその要旨とする。

【0062】請求項6記載の発明は、複数のメモリセルアレイと、その各メモリセルアレイが共有する補助アンプ選択線と、前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助ライトアンプと、その各補助ライトアンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助ライトアンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対のMOSトランジスタからなることをその要旨とする。

【0063】請求項7記載の発明は、複数のメモリセルアレイと、その各メモリセルアレイが共有する補助アンプ選択線と、前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助アンプと、その各補助アンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助アンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、前記補助アンプは補助リードアンプと補助ライトアンプとからなり、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対のMOSトランジスタからなり、その一対のMOSトランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくし、前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対のMOSトランジスタからなることをその要旨とする。

【0064】

【作用】従って、請求項1または請求項2記載の発明においては、サブ入出力線にデータが生じた場合にのみ補助リードアンプが活性化される。そのため、補助リードアンプを制御するための複雑で動作マージンが必要な制御信号を省くことができる。その結果、補助リードアンプの制御信号の動作マージン分だけ高速化することがで

きる。また、当該制御信号の信号線や制御信号を生成する回路が専有する面積分だけ、省面積化することができる。さらに、サブ入出力線に読みだされたデータは、補助リードアンプによって一旦増幅されてからグローバル入出力線に転送されるため、読み出し動作時にデータの破壊が起こることはない。

【0065】請求項3記載の発明においては、全ての補助リードアンプのMOSトランジスタのソース電圧が共通のビット線のプリチャージ電圧と等しくなる。請求項6記載の発明においては、グローバル入力線にデータが生じた場合にのみ補助ライトアンプが活性化される。そのため、補助ライトアンプを制御するための複雑で動作マージンが必要な制御信号を省くことができる。その結果、補助ライトアンプの制御信号の動作マージン分だけ高速化することができる。また、当該制御信号の信号線や制御信号を生成する回路が専有する面積分だけ、省面積化することができる。

【0066】請求項7記載の発明においては、サブ入出力線にデータが生じた場合にのみ補助リードアンプが活性化されると共に、グローバル入力線にデータが生じた場合にのみ補助ライトアンプが活性化される。

【0067】

【実施例】

(第1実施例) 以下、本発明を具体化した第1実施例を図1～図6に従って説明する。

【0068】尚、本実施例において、図18～図25に示した従来例と同じ構成については符号を等しくしてその詳細な説明を省略する。本実施例のDRAMのブロック回路図は、図19に示す従来例と同じである。

【0069】図6は、図19に示す本実施例の16メガビットDRAMの実際の半導体チップ1上における配置例を示した平面図である。半導体チップ1には4メガビットのメモリブロック2が4個配置されている。また、半導体チップ1の外周上下には、ロウ選択信号#RAS、カラム選択信号#CAS、書き込み信号#WE、出力信号#OE、入出力信号I/O、アドレスAddress、および電源VCC、VSS用等の各種パッド3が配置されている。

【0070】さらに、半導体チップ1の中央部にはメインクロック4が配置されている。上下のメモリブロック2の間にはワード線ドライバWDを含むロウデコーダ5が配置され、各メモリブロック2とメインクロック4との間にはカラムデコーダYDが配置されている。また、各カラムデコーダYDとメインクロック4との間には、複数のメインアンプ62からなるメインアンプ列62aが配置されている。

【0071】図1は、本実施例のDRAMの要部回路図である。尚、図1において、図23に示した従来例と異なるのは補助アンプ61の構成についてだけである。

【0072】但し、各トランジスタN51、N52のソースは共通ソース線VSNに接続されていると共に、Nチ

ヤネルMOSトランジスタN62のドレインに接続されている。そのトランジスタN62のソースは接地されており、ゲートは制御信号線SNに接続されている。

【0073】これは、センスアンプ51aのセンス動作時において共通ソース線VSNにかかる負担を軽減することにより、センス動作の高速化を図るためである。すなわち、センス動作時において共通ソース線VSNはLレベルに立ち下がるが、その時、制御信号線SNをHレベルに立ち上げることによってトランジスタN62をオンさせる。これにより、オンしたトランジスタN62を介して各トランジスタN51、N52のソースが接地されるため、共通ソース線VSNの負担が軽減するわけである。

【0074】図1に示すように、本実施例の補助アンプ61は補助リードアンプ11と補助ライトアンプ12とから構成される。その補助リードアンプ11はPチャネルMOSトランジスタP1、P2から構成されている。すなわち、トランジスタP1のゲートはサブ入出力線subI/Oに接続され、トランジスタP2のゲートは反転サブ入出力線#subI/Oに接続されている。また、トランジスタP1のドレインはグローバル入出力線GI/Oに接続され、トランジスタP2のドレインは反転グローバル入出力線#GI/Oに接続されている。そして、各トランジスタP1、P2のソースには内部電源電圧Vintが印加されている。一方、補助ライトアンプ12はNチャネルMOSトランジスタN1、N2から構成されている。すなわち、トランジスタN1のゲートはグローバル入出力線GI/Oに接続され、トランジスタN2のゲートは反転グローバル入出力線#GI/Oに接続されている。また、トランジスタN1のドレインはサブ入出力線subI/Oに接続され、トランジスタN2のドレインは反転サブ入出力線#subI/Oに接続されている。そして、各トランジスタN1、N2のソースは接地されている。

【0075】次に、このように構成されたDRAMの読み出し動作を、図2に示すタイムチャートに従って説明する。尚、メモリセル50aやセンスアンプ51aの動作については公知であるのでその詳細な説明は省略する。

【0076】読み出し動作を行う前において、サブ入出力線subI/Oおよび反転サブ入出力線#subI/OはHレベルにプリチャージしておき、グローバル入出力線GI/Oおよび反転グローバル入出力線#GI/OはLレベルにプリチャージしておく。

【0077】すると、各トランジスタP1、P2のゲート電圧(すなわち、サブ入出力線subI/Oおよび反転サブ入出力線#subI/Oのプリチャージ電圧VP)とソース電圧VS(すなわち、内部電源電圧Vint)は等しくなる。このとき、各トランジスタP1、P2はオフしているため、補助リードアンプ11は非活性になる。

【0078】そして、所望のワード線WLiをHレベルに立ち上げると、そのワード線WLiに接続されているメモ

リセル 5 0 a の状態に応じて、ビット線 BL と反転ビット線 #BL とのビット線対の電圧が変化する。センスアンプ 5 1 a はそのビット線対の電圧の変化を増幅し、内部電源電圧 V_{int} とグラウンドレベル ($= 0 V$) との間でビット線対をフルスイングさせる。

【0079】ここで例えば、ビット線 BL が L レベルで反転ビット線 #BL が H レベルになっているとする。そして、所望の補助アンプ選択線 YS を H レベルに立ち上げると、その補助アンプ選択線 YS に接続されているトランジスタ N 5 5, N 5 6 はオンする。すると、サブ入出力線 sub I / 0 は H レベルから L レベルにディスチャージされ、反転サブ入出力線 #sub I / 0 は H レベルのまま保持される。

【0080】そのため、補助リードアンプ 1 1 のトランジスタ P 1 はオンすると共にトランジスタ P 2 はオフする。すると、グローバル入出力線 GI / 0 には、オンしたトランジスタ P 1 を介して内部電源電圧 V_{int} が印加されて L レベルから H レベルにチャージされる。一方、反転グローバル入出力線 #GI / 0 は L レベルのまま保持される。

【0081】このように、ディスチャージされないサブ入出力線 sub I / 0 (反転サブ入出力線 #sub I / 0) に対して、グローバル入出力線 GI / 0 (反転グローバル入出力線 #GI / 0) には変化がなく、プリチャージ状態の L レベルが保持される。一方、ディスチャージされたサブ入出力線 sub I / 0 (反転サブ入出力線 #sub I / 0) に対して、反転グローバル入出力線 #GI / 0 (グローバル入出力線 GI / 0) はチャージされて H レベルになる。

【0082】その結果、補助リードアンプ 1 1 は、サブ入出力線 sub I / 0 および反転サブ入出力線 #sub I / 0 から 30 のデータを増幅して、グローバル入出力線 GI / 0 および反転グローバル入出力線 #GI / 0 に転送することができる。

【0083】ここで、同じメモリセルアレイ 5 0 内の別のサブ入出力線 sub I / 0 および反転サブ入出力線 #sub I / 0 はプリチャージ状態のままなので、接続されている補助リードアンプ 1 1 は全て非活性になっている。また、非活性な別のメモリセルアレイ 5 0 内の補助リードアンプ 1 1 も同様に非活性になっている。すなわち、プリチャージ状態において、同じグローバル入出力線 GI / 0 および反転グローバル入出力線 #GI / 0 に接続されている補助 40 リードアンプ 1 1 は全て非活性になっている。

【0084】そして、読み出し動作時には、所望の補助アンプ選択線 YS によって選択された補助リードアンプ 1 1 のみが活性化し、同じグローバル入出力線 GI / 0 および反転グローバル入出力線 #GI / 0 に接続されている他の補助リードアンプ 1 1 は全て非活性のまま作動しない。図 3 は、非活性な別のメモリセルアレイ 5 0 における読み出し動作時のタイムチャートである。

【0085】従って、本実施例の補助リードアンプ 1 1 においては、図 2 2 および図 2 3 に示した従来例の補助 50

アンプ 6 1 のように読み出し補助アンプ選択線 YR を設ける必要がない。そのため、読み出し補助アンプ選択線 YR からの制御信号をコントロールする必要もなく、読み出し補助アンプ選択線 YR を制御するための回路も必要なくなる。

【0086】尚、メモリセルアレイ 5 0 が活性化すると、そのメモリセルアレイ 5 0 内のセンスアンプ 5 1 a が全て活性化し、メモリセルアレイ 5 0 内の全てのビット線対毎にワード線 WL で選択されたメモリセル 5 0 a が充放電することである。

【0087】また、補助アンプ 6 1 が設けられているワード線裏打ち部にはもともと n ウェルが存在しており、図 2 3 に示した従来例では未使用であったその n ウェルを使用すれば、P チャネル MOS トランジスタ P 1, P 2 を形成することは容易である。

【0088】次に、このように構成された DRAM の書き込み動作を、図 4 に示すタイムチャートに従って説明する。尚、メモリセル 5 0 a やセンスアンプ 5 1 a の動作については公知であるのでその詳細な説明は省略する。

【0089】書き込み動作を行う前においても、読み出し動作を行う前と同様に、サブ入出力線 sub I / 0 および反転サブ入出力線 #sub I / 0 は H レベルにプリチャージしておき、グローバル入出力線 GI / 0 および反転グローバル入出力線 #GI / 0 は L レベルにプリチャージしておく。

【0090】このとき、各トランジスタ N 1, N 2 はオフしているため、補助ライトアンプ 1 2 は非活性になる。そして、所望のワード線 WL_i を H レベルに立ち上げると、そのワード線 WL_i に接続されているメモリセル 5 0 a の状態に応じて、ビット線 BL と反転ビット線 #BL とのビット線対の電圧が変化する。センスアンプ 5 1 a はそのビット線対の電圧の変化を増幅し、内部電源電圧 V_{int} とグラウンドレベル ($= 0 V$) との間でビット線対をフルスイングさせる。

【0091】ここで例えば、グローバル入出力線 GI / 0 には H レベル、反転グローバル入出力線 #GI / 0 には L レベルのデータが書き込まれたとする。すると、補助ライトアンプ 1 2 のトランジスタ N 1 はオンすると共にトランジスタ N 2 はオフする。そのため、サブ入出力線 sub I / 0 は H レベルから L レベルにディスチャージされ、反転サブ入出力線 #sub I / 0 は H レベルのまま保持される。

【0092】そして、所望の補助アンプ選択線 YS を H レベルに立ち上げると、その補助アンプ選択線 YS に接続されているトランジスタ N 5 5, N 5 6 はオンする。すると、ビット線 BL は L レベルになると共に反転ビット線 #BL は H レベルになり、メモリセル 5 0 a にはビット線 BL および反転ビット線 #BL のレベルに対応したデータが書き込まれる。

【0093】このように、L レベルのグローバル入出力線 GI / 0 (反転グローバル入出力線 #GI / 0) に対して、サ

ブ入出力線subI/0 (反転サブ入出力線#sub I/0) には変化がなく、プリチャージ状態のHレベルが保持される。一方、Hレベルのグローバル入出力線GI/0 (反転グローバル入出力線#GI/0) に対して、反転サブ入出力線#subI/0 (サブ入出力線sub I/0) はディスチャージされてLレベルになる。

【0094】その結果、補助ライトアンプ12は、グローバル入出力線GI/0および反転グローバル入出力線#GI/0からのデータを増幅して、サブ入出力線subI/0および反転サブ入出力線#sub I/0 に転送することができる。 10

【0095】ここで、プリチャージ状態において、同じメモリセルアレイ50内の別のサブ入出力線subI/0および反転サブ入出力線#sub I/0 に接続されている補助ライトアンプ12は全て非活性になっている。また、非活性な別のメモリセルアレイ50内の補助ライトアンプ12も同様に非活性になっている。すなわち、プリチャージ状態において、同じグローバル入出力線GI/0および反転グローバル入出力線#GI/0に接続されている補助ライトアンプ12は全て非活性になっている。

【0096】そして、書き込み動作時には、所望の補助アンプ選択線YSによって選択された補助ライトアンプ12のみが活性化し、同じグローバル入出力線GI/0および反転グローバル入出力線#GI/0に接続されている他の補助ライトアンプ12は全て非活性のまま作動しない。図5は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。 20

【0097】従って、本実施例の補助ライトアンプ12においては、図22および図23に示した従来例の補助アンプ61のように書き込み補助アンプ選択線YWを設ける必要がない。そのため、書き込み補助アンプ選択線YWからの制御信号をコントロールする必要もなく、書き込み補助アンプ選択線YWを制御するための回路も必要なくなる。 30

【0098】このように本実施例において、補助リードアンプ11は、サブ入出力線subI/0および反転サブ入出力線#sub I/0 からの読み出しデータによって駆動制御される。また、補助ライトアンプ12は、グローバル入出力線GI/0および反転グローバル入出力線#GI/0からの書き込みデータによって駆動制御される。

【0099】つまり、本実施例の補助アンプ61は、読み出し動作または書き込み動作のいずれの場合においても、完全にデータ駆動型のデータ転送が可能となる。そのため、本実施例では、補助アンプ61を制御するための複雑で動作マージンが必要な制御信号(カラムアドレス線YRおよび書き込み補助アンプ選択線YWからの制御信号)を省くことができる。 40

【0100】また、本実施例の補助アンプ61は、図22および図23に示した従来例の補助アンプ61に比べて簡単な構成であるため具体化するのが容易である。さらに、本実施例では、図6に示したように、余分なデー 50

タバス(および、図18におけるメインアンプ53を制御するためのコントロール信号線)を半導体チップ1上に引き回す必要がない。すなわち、図19に示したデータバス64はメインクロック4の部分に配置すればよく、半導体チップ1の周辺部にデータバスがないため省面積化を図ることができる。

【0101】従って、本実施例では、図23に示した従来例のDRAMの利点を全て備えた上で、従来の問題点を全て解決することができる。ところで、図6に示したように、各カラムデコードYDはメインクロック4を挟んで半導体チップ1の中央部に配置されている。そして、補助アンプ選択線YSに第2メタル線を使用することにより、前記したように、異なるメモリセルアレイ50間で1本の補助アンプ選択線YSを共用している。

【0102】この場合、補助アンプ選択線YSを、そのまま各トランジスタN55、N56からなるI/Oゲートに接続する方法(以下、方法1という)がある。また、各メモリセルアレイ50を選択するための信号線と補助アンプ選択線YSとで論理をとり、活性化したメモリセルアレイ50の補助アンプ選択線YS(図1、図2、図4においてはGYSと表記して区別している)に対応するI/Oゲート(すなわち、各トランジスタN55、N56)だけをオンさせる方法(以下、方法2という)もある。

【0103】上記した第1実施例は方法2である。すなわち、第1実施例では、活性化したメモリセルアレイ50のサブ入出力線subI/0および反転サブ入出力線#sub I/0 だけが、補助アンプ選択線YSに従って対応するビット線BLおよび反転ビット線#BLに接続される。従って、読み出し動作においては、選択すべき補助リードアンプ11に接続されているサブ入出力線subI/0および反転サブ入出力線#sub I/0 だけが、プリチャージ電圧VPとは異なる電圧になる。

【0104】その他のサブ入出力線subI/0および反転サブ入出力線#sub I/0 については、プリチャージ電圧VPのままである。そのため、各トランジスタP1、P2のゲート電圧(=プリチャージ電圧VP)とソース電圧VSとが等しければ($VP = VS$)、その電圧は内部電源電圧Vintでも電圧 $Vint / 2$ ($= VCP = VBLP$)でも構わない。

【0105】(第2実施例)一方、方法1の場合、非活性のメモリセルアレイ50の補助アンプ選択線YSに対応するI/Oゲートもオンする。そのため、非活性な(すなわち、プリチャージ状態の)ビット線BLおよび反転ビット線#BLと、サブ入出力線subI/0および反転サブ入出力線#sub I/0 とが接続される。

【0106】従って、方法1の場合は、ビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPと、サブ入出力線subI/0および反転サブ入出力線#sub I/0 のプリチャージ電圧VPとを等しくする必要がある。

【0107】この場合も、当然、各トランジスタP1、

P 2 のゲート電圧 (= プリチャージ電圧 V_P) とソース電圧 V_S とは等しくなければならない ($V_{BLP} = V_P = V_S$)。

【0108】しかしながら、方法 1 では、方法 2 のように各メモリセルアレイ 50 を選択するための信号線と補助アンプ選択線 Y_S とで論理をとる必要がない。そのため、方法 1 では、各メモリセルアレイ 50 を選択するための信号線や、論理をとる回路を設ける必要がなく、方法 2 より省面積化を図ることができる。

【0109】図 7 は、方法 1 を具体化した第 2 実施例の DRAM の要部回路図である。尚、図 7 において、図 1 に示した第 1 実施例と異なるのは、以下の①、②だけである。そこで、本実施例において、第 1 実施例と同じ構成については符号を等しくしてはその詳細な説明を省略する。また、本実施例において、第 1 実施例と同じ動作についても説明を省略する。

【0110】①補助リードアンプ 11 の各トランジスタ P 1, P 2 のソース電圧 V_S を、内部電源電圧 V_{int} でではなく、ビット線 BL および反転ビット線 $\#BL$ のプリチャージ電圧 V_{BLP} にしている。

【0111】②サブ入出力線 $subI/0$ および反転サブ入出力線 $\#sub I/0$ に、クランパ (プリチャージ) 13 を設けている。クランパ 13 は P チャンネル MOS トランジスタ P 3, P 4 から構成されている。すなわち、各トランジスタ P 3, P 4 のソースはそれぞれサブ入出力線 $subI/0$ および反転サブ入出力線 $\#sub I/0$ に接続され、ゲートは接地されている。また、各トランジスタ P 3, P 4 のドレインには、ビット線 BL および反転ビット線 $\#BL$ のプリチャージ電圧 V_{BLP} が印加されている。

【0112】従って、オンした各トランジスタ P 3, P 4 によって、サブ入出力線 $subI/0$ および反転サブ入出力線 $\#sub I/0$ にビット線 BL および反転ビット線 $\#BL$ のプリチャージ電圧 V_{BLP} が印加される。そのため、サブ入出力線 $subI/0$ および反転サブ入出力線 $\#sub I/0$ のプリチャージ電圧 V_P とビット線 BL および反転ビット線 $\#BL$ のプリチャージ電圧 V_{BLP} とが等しくなる。

【0113】尚、書き込み動作において、サブ入出力線 $subI/0$ または反転サブ入出力線 $\#sub I/0$ に H レベルのデータを書き込むために、各トランジスタ P 3, P 4 はノーマリオン型でなければならない。すなわち、本実施例において、クランパ 13 は書き込み動作時のプルアップ回路であり、補助ライトアンプ 12 は書き込み動作時のプルダウン回路であると見なすことができる。

【0114】また、各トランジスタ P 3, P 4 のゲートに制御信号を与え、読み出し及び書き込みの各動作において制御することも可能である。しかしながら、この場合は、各トランジスタ P 3, P 4 のゲートに与える制御信号とその制御信号線を設ける必要があるため、前記したような完全にデータ駆動型のデータ転送ができなくなる。

【0115】図 2 は、活性化しているメモリセルアレイ 50 における読み出し動作時のタイムチャートである。図 8 は、非活性な別のメモリセルアレイ 50 における読み出し動作時のタイムチャートである。図 4 は、活性化しているメモリセルアレイ 50 における書き込み動作時のタイムチャートである。図 9 は、非活性な別のメモリセルアレイ 50 における書き込み動作時のタイムチャートである。

【0116】(第 3 実施例) 方法 1 において (すなわち、非活性なメモリセルアレイ 50 のサブ入出力線 $subI/0$ および反転サブ入出力線 $\#sub I/0$ のプリチャージ電圧 V_P を、ビット線 BL および反転ビット線 $\#BL$ のプリチャージ電圧 V_{BLP} と等しくする)、活性化したメモリセルアレイ 50 のサブ入出力線 $subI/0$ および反転サブ入出力線 $\#sub I/0$ の電圧だけを、プリチャージ電圧 V_{BLP} 以上にするという方法 (以下、方法 3 という) がある。

【0117】すなわち、方法 3 では、補助リードアンプ 11 のゲインが見かけ上大きくなるため、読み出し動作をより高速化することができる。図 10 は、方法 3 を具体化した第 3 実施例の DRAM の要部回路図である。

尚、図 10 において、図 7 に示した第 2 実施例と異なるのは、以下の①、②だけである。そこで、本実施例において、第 2 実施例と同じ構成については符号を等しくしてはその詳細な説明を省略する。また、本実施例において、第 2 実施例と同じ動作についても説明を省略する。

【0118】①補助リードアンプ 11 の各トランジスタ P 1, P 2 のソースを共通ソース線 V_{SP} に接続している。

②クランパ 13 の各トランジスタ P 3, P 4 のドレインを共通ソース線 V_{SP} に接続している。

【0119】非活性なメモリセルアレイ 50 において、共通ソース線 V_{SP} の電圧はビット線 BL および反転ビット線 $\#BL$ のプリチャージ電圧 V_{BLP} と等しくなっており、センスアンプ 51 a を非活性にしている ($V_S = V_P = V_{SP} = V_{BLP}$)。

【0120】一方、活性化したメモリセルアレイ 50 において、共通ソース線 V_{SP} の電圧は内部電源電圧 V_{int} になるが、やはり、($V_S = V_P = V_{SP}$) の条件は保たれることになり、動作に不都合は生じない。

【0121】図 11 は、活性化しているメモリセルアレイ 50 における読み出し動作時のタイムチャートである。図 8 は、非活性な別のメモリセルアレイ 50 における読み出し動作時のタイムチャートである。図 12 は、活性化しているメモリセルアレイ 50 における書き込み動作時のタイムチャートである。図 9 は、非活性な別のメモリセルアレイ 50 における書き込み動作時のタイムチャートである。

【0122】(第 4 実施例) 図 13 は、方法 3 を具体化した第 4 実施例の DRAM の要部回路図である。尚、図 13 において、図 10 に示した第 3 実施例と異なるの

は、補助ライトアンプ12の各トランジスタN1, N2のソースを共通ソース線VSNに接続していることだけである。そこで、本実施例において、第3実施例と同じ構成については符号を等しくしてはその詳細な説明を省略する。また、本実施例において、第3実施例と同じ動作についても説明を省略する。

【0123】非活性なメモリセルアレイ50において、共通ソース線VSPの電圧はビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPと等しくなっており、センスアンプ51aを非活性にしている（VS = VP = VSN = VBLP）。従って、補助ライトアンプ12も作動しなくなる。

【0124】そして、非活性なメモリセルアレイ50では、サブ入出力線subI/0または反転サブ入出力線#subI/0にデータが書き込まれない。そのため、たとえ、ビット線BLまたは反転ビット線#BLとサブ入出力線subI/0または反転サブ入出力線#subI/0が接続された場合でも、不要なデータをビット線BLおよび反転ビット線#BLに書き込むという無用な動作を行わなくなる。

【0125】図11は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図14は、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。尚、「VrS」は補助リードアンプ11の各トランジスタP1, P2のソース電圧VrS、「VwS」は補助ライトアンプ11の各トランジスタN1, N2のソース電圧VwSを示している。図15は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0126】（第5実施例）図16は、方法3を具体化した第5実施例のDRAMの要部回路図である。尚、図16において、図13に示した第4実施例と異なるのは、補助リードアンプ11の各トランジスタP1, P2のソースに、NチャネルMOSトランジスタN3を介して内部電源電圧Vint等の適当な電圧（但し、ビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPより高い電圧）を印加していることだけである。そして、トランジスタN3のゲートは制御信号線SNに接続している。そこで、本実施例において、第4実施例と同じ構成については符号を等しくしてはその詳細な説明を省略する。また、本実施例において、第3実施例と同じ動作についても説明を省略する。

【0127】活性化したメモリセルアレイ50においてのみ、制御信号線SNの電圧はHレベルになっている。そのため、活性化したメモリセルアレイ50のトランジスタN3だけがオンし、その活性化したメモリセルアレイ50の補助リードアンプ11だけが活性化する（VS = VP = Vint）。従って、本実施例は、第4実施例の効果に加えて、図10に示す第3実施例と同様の効果を得

ることもできる。

【0128】加えて、本実施例では第3実施例に比べて、共通ソース線VSPにかかる負担を軽減することができ、センス動作の高速化を阻害することがない。図11は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図14は、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。図15は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0129】（第6実施例）図17は、第6実施例のDRAMの要部回路図である。尚、図17において、図7に示した第2実施例と異なるのは、クランパ13（すなわち、プルアップ回路）の各トランジスタP3, P4のゲートをそれぞれ、グローバル入出力線GI/0および反転グローバル入出力線#GI/0に接続したことだけである。

【0130】本実施例では、書き込み動作において、クランパ13も補助ライトアンプ12（すなわち、プルダウン回路）と同様に、グローバル入出力線GI/0および反転グローバル入出力線#GI/0によってデータ駆動されることになる。

【0131】その他の動作について、本実施例と第2実施例とは全て同じであるので説明を省略する。図2は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図4は、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。図9は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0132】尚、本発明は上記各実施例に限定されるものではなく、以下のように実施してもよい。

1) 補助リードアンプ11の各PチャネルMOSトランジスタP1, P2をNチャネルMOSトランジスタに置き換えると共に、補助ライトアンプ12の各NチャネルMOSトランジスタN1, N2をPチャネルMOSトランジスタに置き換える。

【0133】この場合は、プリチャージ状態における各入出力線のレベルを上記各実施例と反対にする。すなわち、サブ入出力線subI/0および反転サブ入出力線#subI/0はLレベルにプリチャージしておき、グローバル入出力線GI/0および反転グローバル入出力線#GI/0はHレベルにプリチャージしておく。

【0134】2) クランパ13の各PチャネルMOSトランジスタP3, P4をNチャネルMOSトランジスタに置き換える。

3) 補助リードアンプ11の各トランジスタP1, P2のドレインをそれぞれ、グローバル入出力線GI/0および反転グローバル入出力線#GI/0に接続するのではなく、

反転グローバル入出力線#GI/0およびグローバル入出力線GI/0に接続する。それと同時に、補助ライトアンプ12の各トランジスタN1, N2のゲートをそれぞれ、グローバル入出力線GI/0および反転グローバル入出力線#GI/0に接続するのではなく、反転グローバル入出力線#GI/0およびグローバル入出力線GI/0に接続する。

【0135】この場合、サブ入出力線subI/0および反転サブ入出力線#subI/0とグローバル入出力線GI/0および反転グローバル入出力線#GI/0との間で相互に転送されるデータは、それぞれ同じレベルになる。すなわち、サブ入出力線subI/0がHレベル（反転サブ入出力線#subI/0がLレベル）なら、グローバル入出力線GI/0もHレベル（反転グローバル入出力線#GI/0もLレベル）になる。

【0136】4) 内部電源電圧Vintを外部電源電圧VCCに置き換える。

5) 補助リードアンプ11または補助ライトアンプ12をそれぞれ単独で実施する。また、上記各実施例の補助リードアンプ11または補助ライトアンプ12の接続方法を、それぞれ上記とは異なる組み合わせで実施する。

【0137】

【発明の効果】以上詳述したように本発明によれば、省面積化および高速化が実現可能であると共に、読み出し動作時にデータの破壊を起こさない半導体記憶装置を、簡単な構成によって提供することができる優れた効果がある。

【図面の簡単な説明】

【図1】第1実施例のDRAMの要部回路図である。

【図2】第1, 2, 6実施例において、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。

【図3】第1実施例において、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。

【図4】第1, 2, 6実施例において、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図5】第1実施例において、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図6】各実施例のDRAMの実際の半導体チップ上における配置を示す平面図である。

【図7】第2実施例のDRAM要部回路図である。

【図8】第2~6実施例において、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。

【図9】第2, 3, 6実施例において、非活性な別のメ

モリセルアレイ50における書き込み動作時のタイムチャートである。

【図10】第3実施例のDRAMの要部回路図である。

【図11】第3, 4, 5実施例において、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。

【図12】第3実施例において、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図13】第4実施例のDRAMの要部回路図である。

【図14】第4, 5実施例において、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図15】第4, 5, 15実施例において、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図16】第5実施例のDRAMの要部回路図である。

【図17】第6実施例のDRAMの要部回路図である。

【図18】従来例のDRAMの構成を示すブロック回路図である。

【図19】従来例のDRAMの構成を示すブロック回路図である。

【図20】図18および図19に示すDRAMのセンスアンプ51aを示す回路図である。

【図21】従来例のDRAMにおけるセンスアンプとその周辺回路を示す回路図である。

【図22】従来例のDRAMの要部回路図である。

【図23】従来例のDRAMの要部回路図である。

【図24】ワード線裏打ち部を説明するための半導体チップ平面図である。

【図25】図23に示すDRAMの読み出し動作時のタイムチャートである。

【符号の説明】

11 補助リードアンプ

12 補助ライトアンプ

50 メモリセルアレイ

51a センスアンプ

61 補助アンプ

62 メインアンプ

40 YS,GYS カラムアドレス選択選択線

subI/0 サブ入出力線

#subI/0 反転サブ入出力線

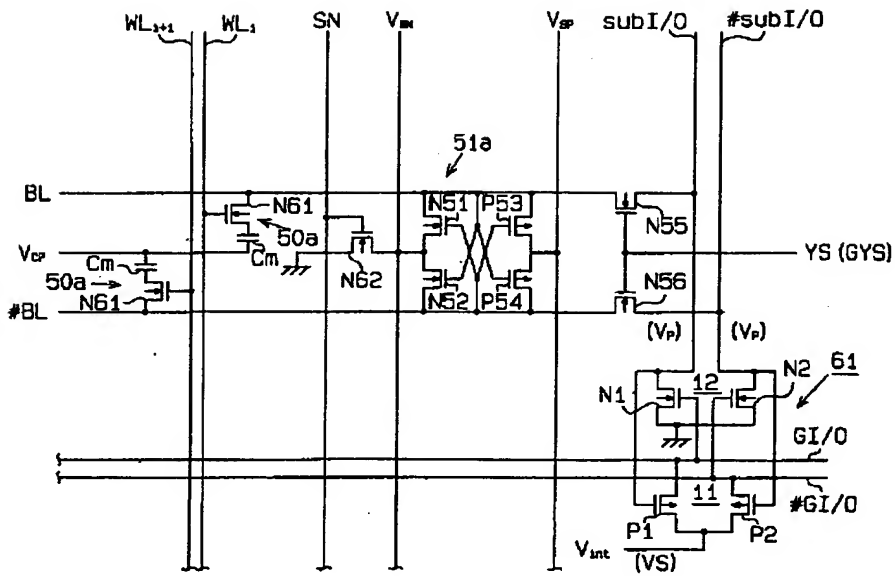
GI/0 グローバル入出力線

#GI/0 反転グローバル入出力線

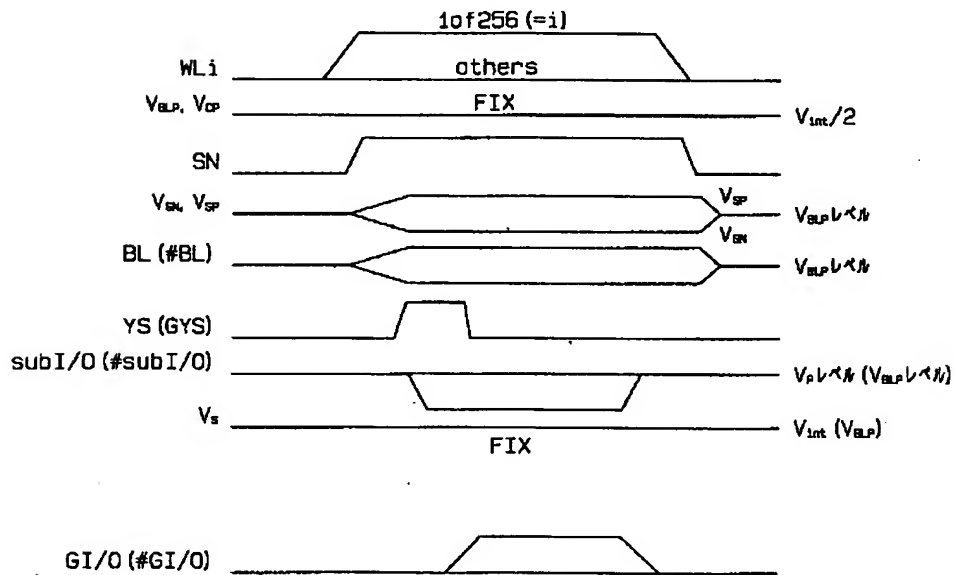
P1, P2 PチャンネルMOSトランジスタ

N1, N2 NチャンネルMOSトランジスタ

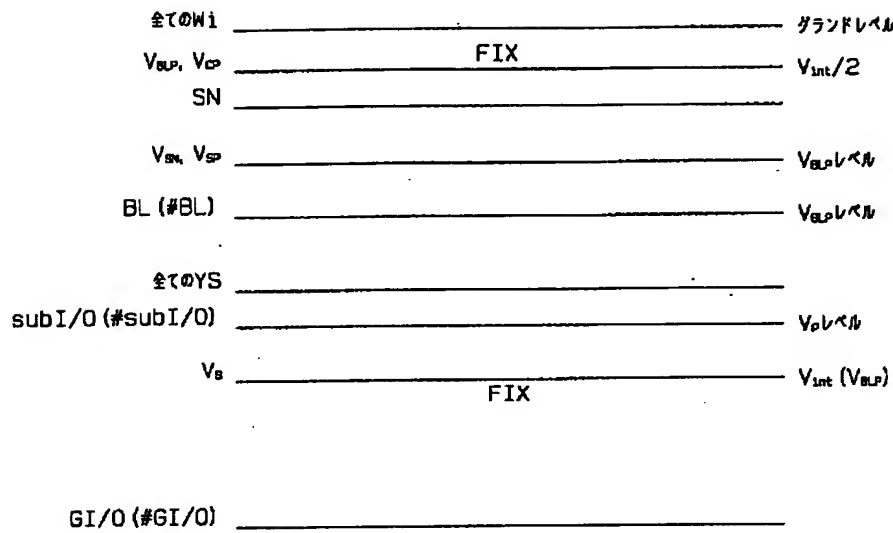
【図 1】



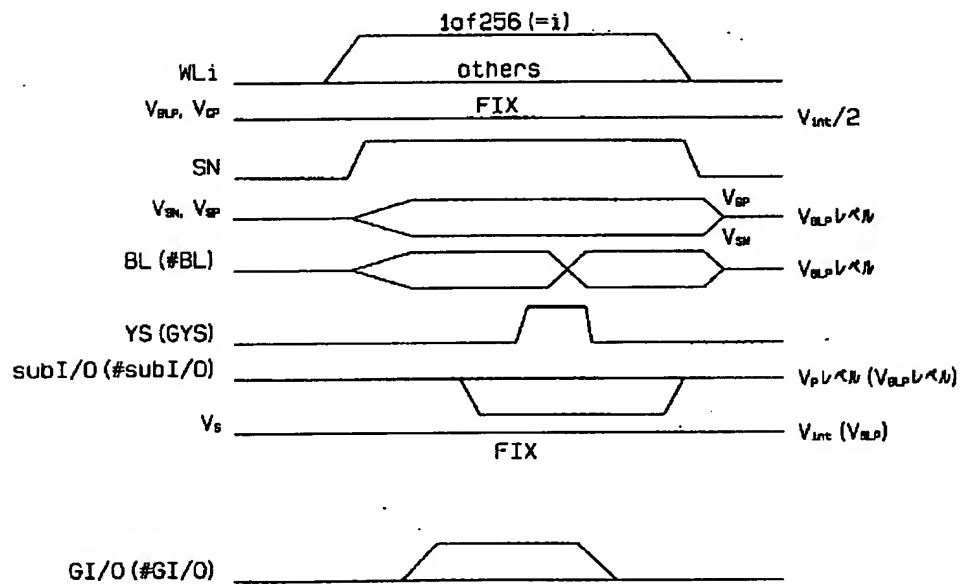
【図 2】



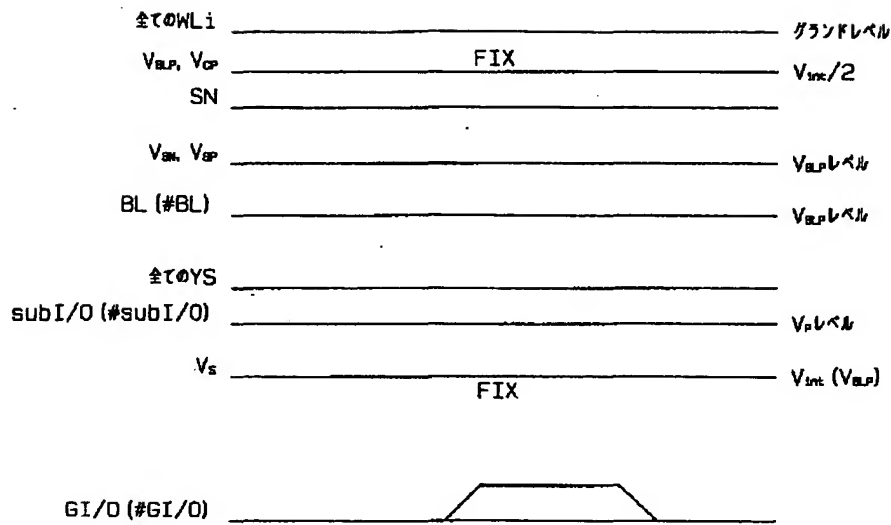
【図 3】



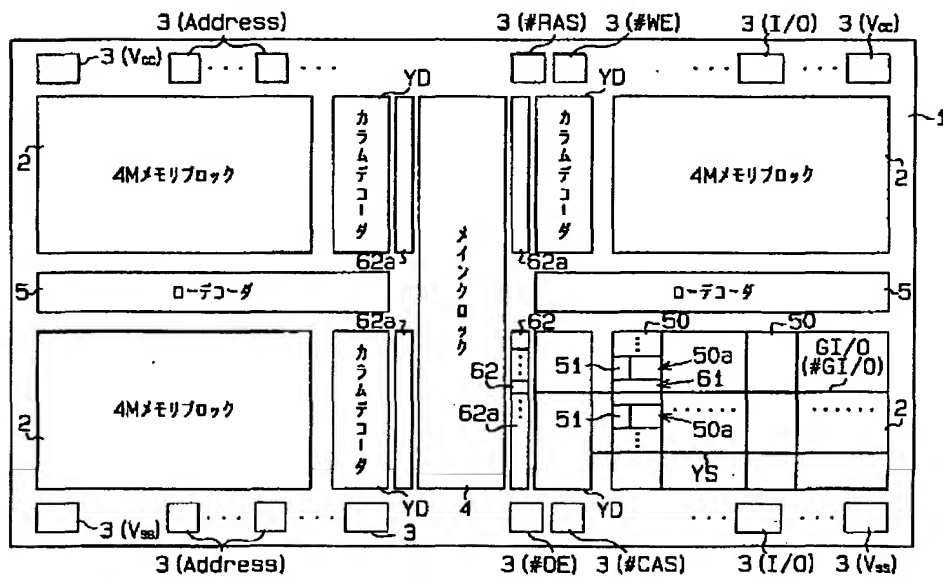
【図 4】



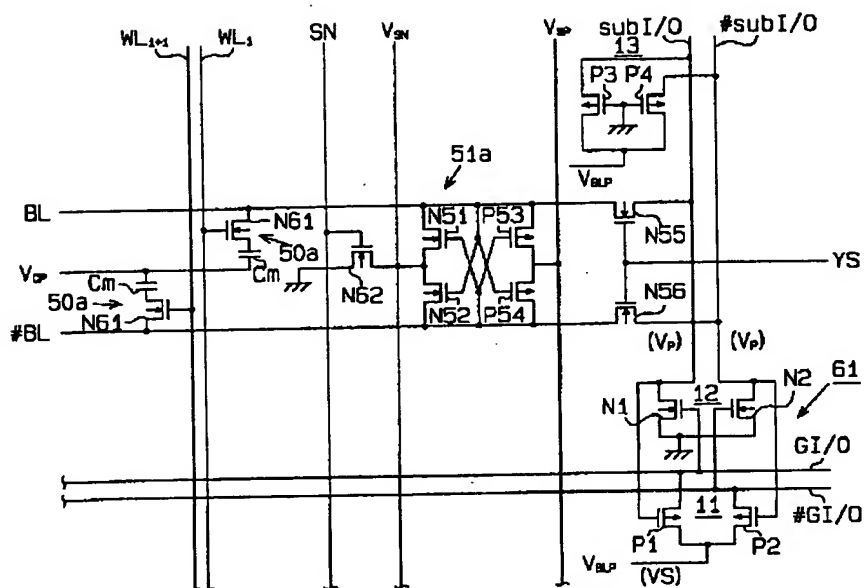
【図5】



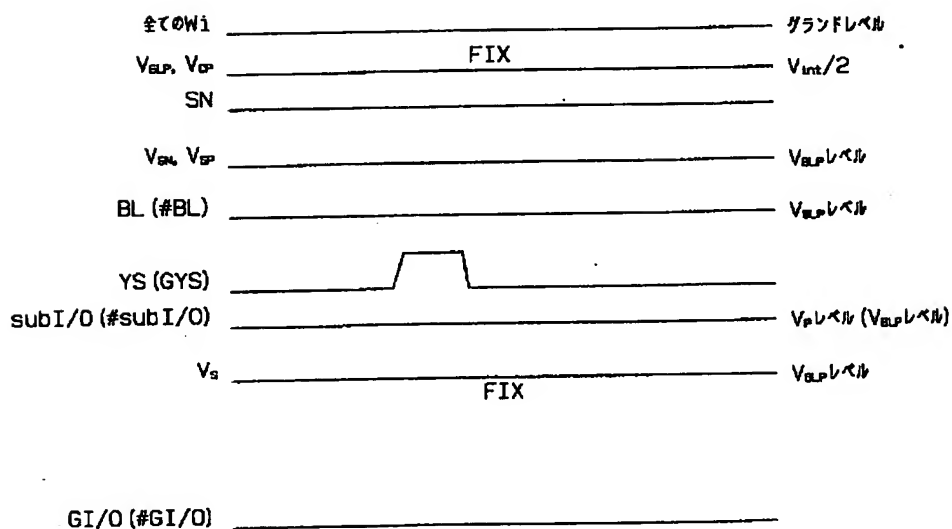
【図6】



【図7】



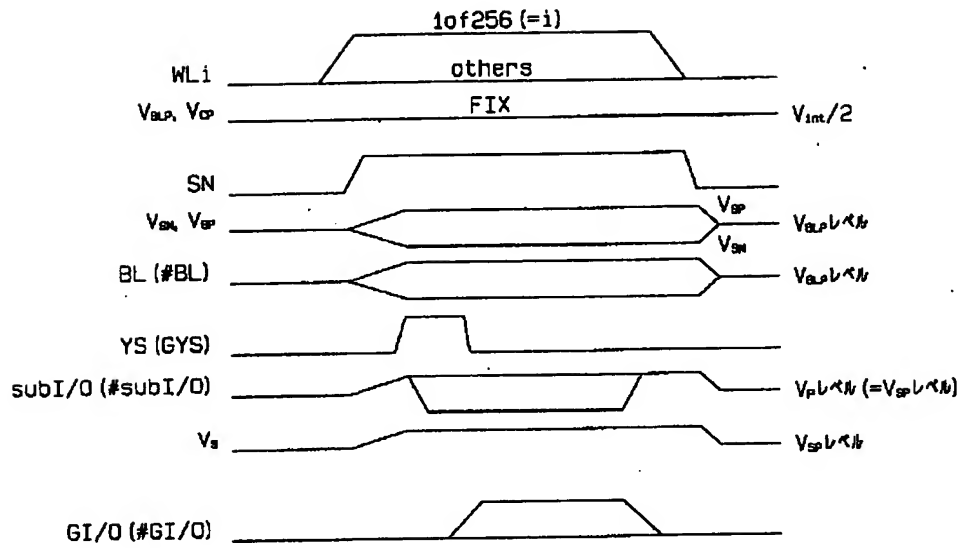
【図8】



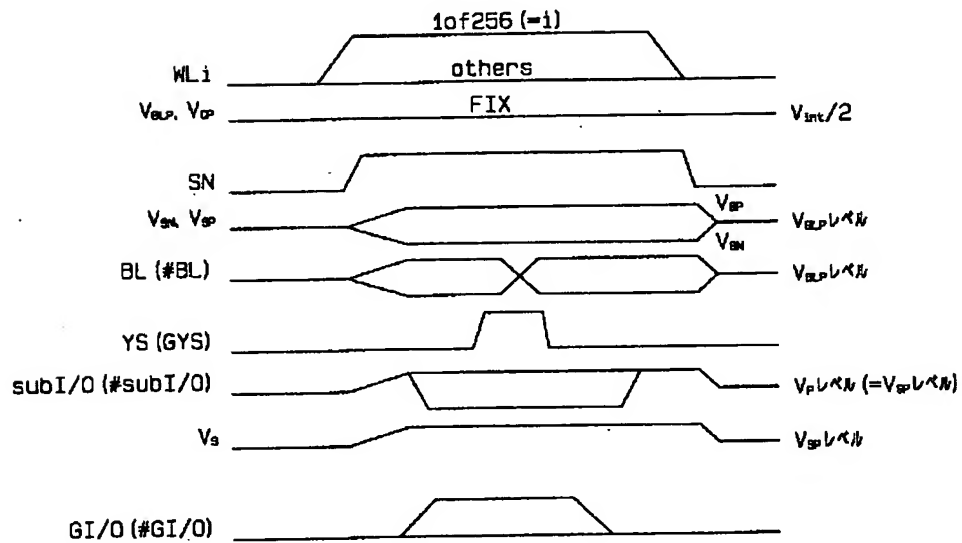
Timing diagram for the 78C02 (2) showing various signals and their levels relative to V_{DD} and V_{SS} .

- 全てのWLi**: V_{DD} level (ラベル: グランドレベル)
- V_{BLP}, V_{CP}** : $V_{DD}/2$ level (ラベル: $V_{DD}/2$)
- SN**: V_{DD} level (ラベル: V_{DD})
- V_{SN}, V_{SP}** : V_{BLP} level (ラベル: V_{BLP} レベル)
- BL (#BL)**: V_{BLP} level (ラベル: V_{BLP} レベル)
- YS (GYS)**: V_{DD} level (ラベル: V_{DD})
- subI/O (#subI/O)**: V_{SS} level (ラベル: V_{SS} レベル (V_{BLP} レベル))
- V_{rS}** : V_{BLP} level (ラベル: V_{BLP} レベル)
- GI/O (#GI/O)**: V_{DD} level (ラベル: V_{DD})

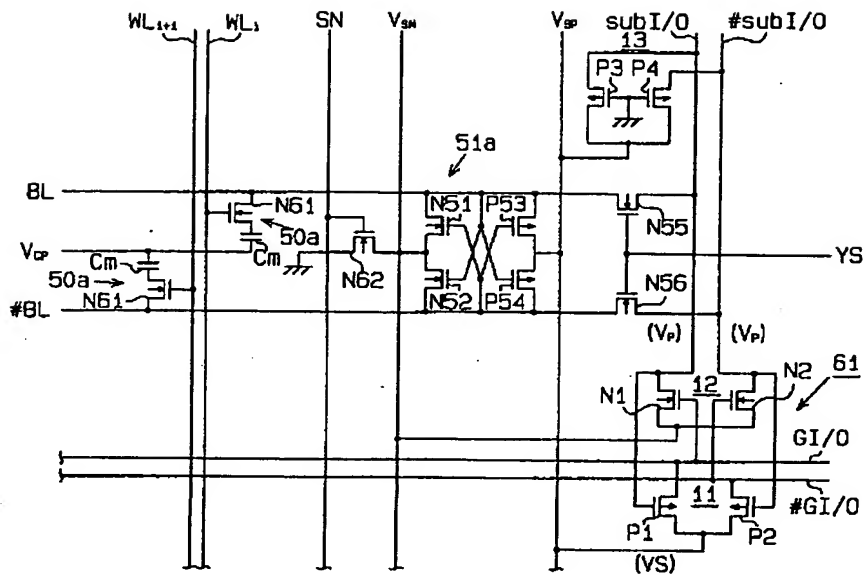
【図11】



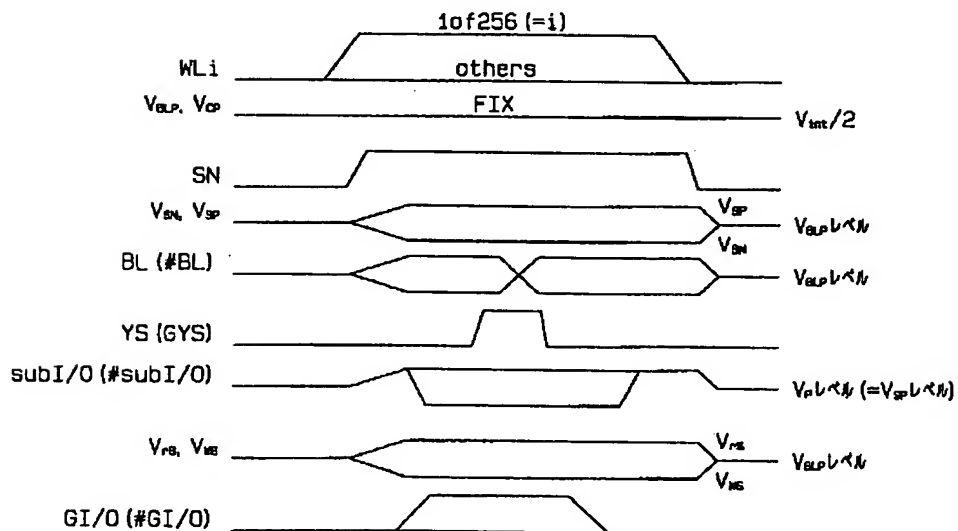
【図12】



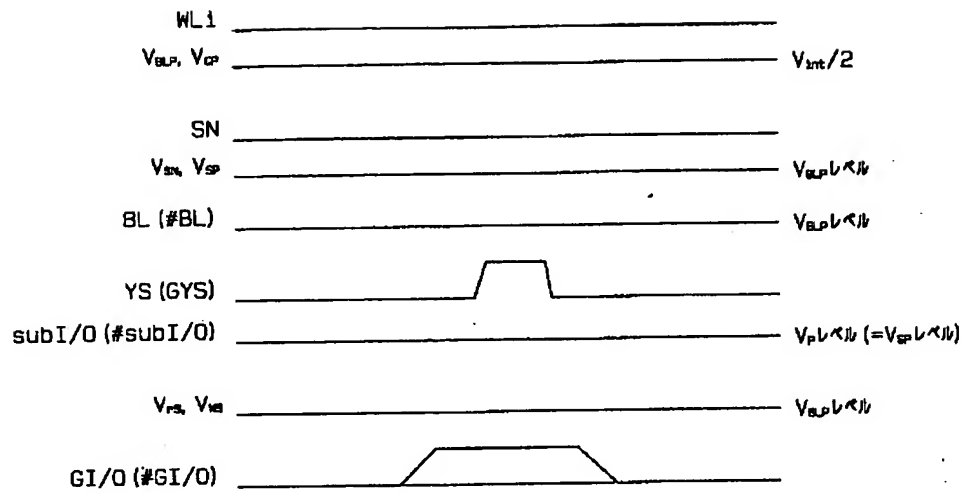
【図13】



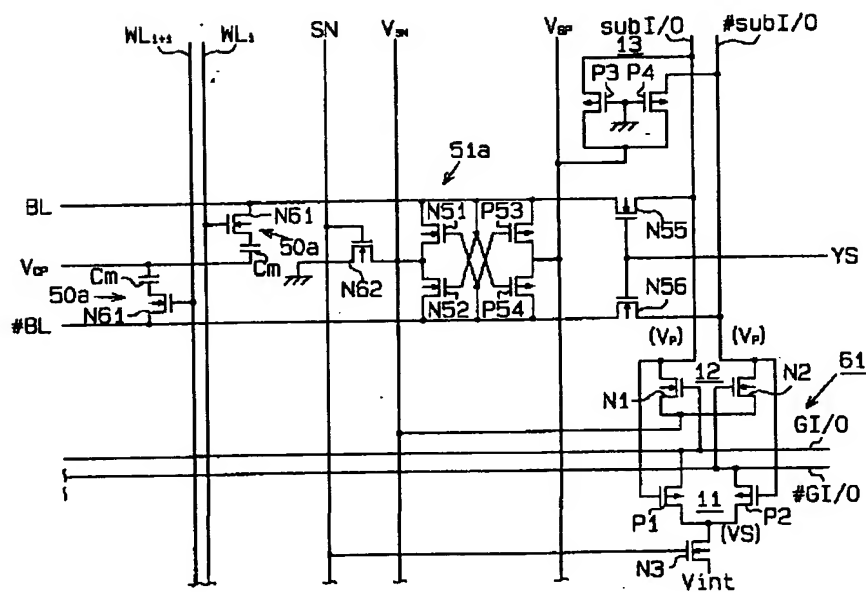
【図14】



【図 15】

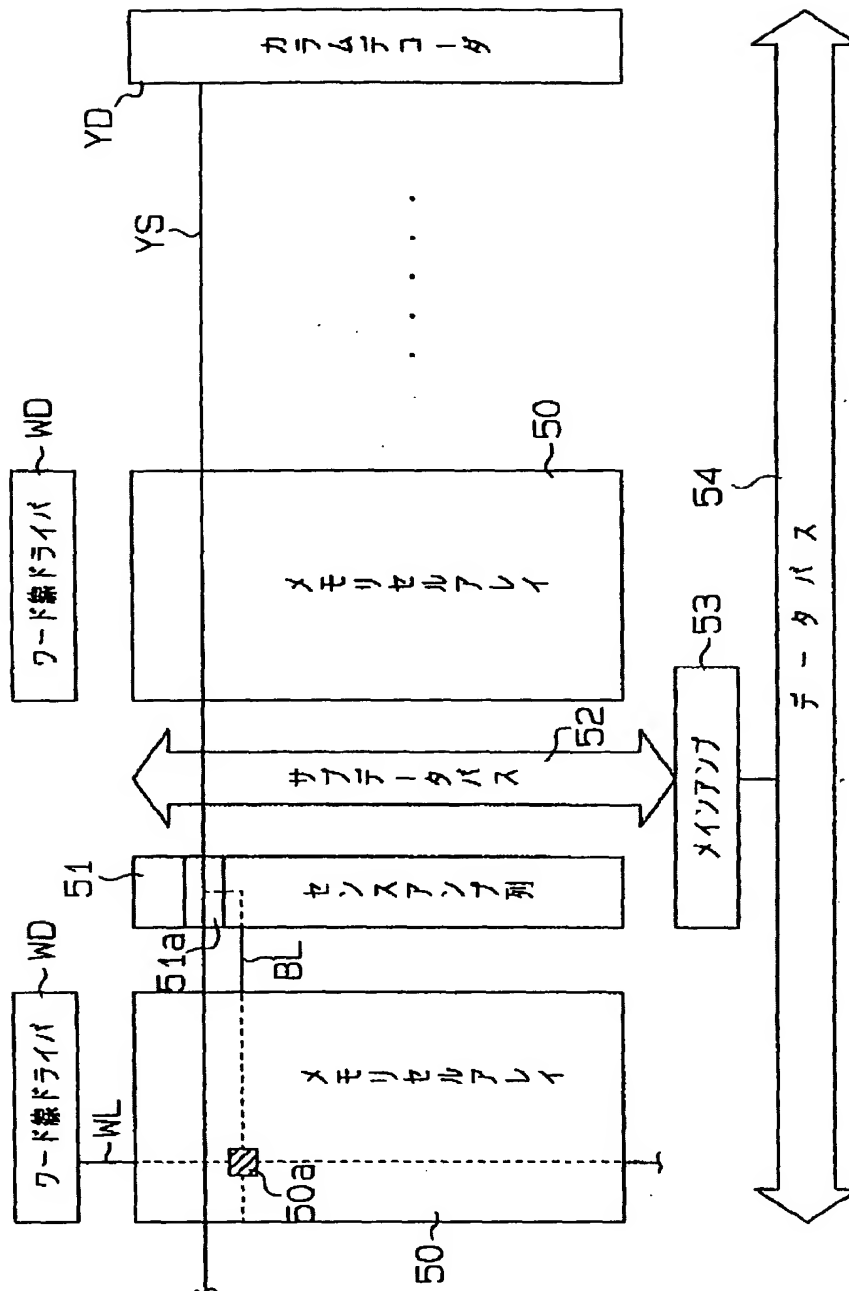


【図 16】

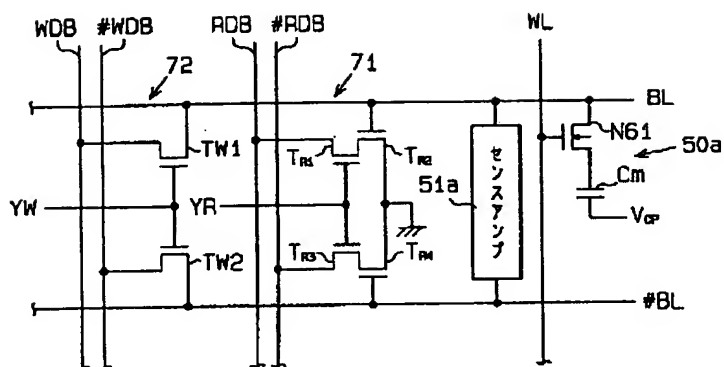


The diagram shows a circuit 61 with four PMOS transistors (P1, P2, P3, P4) and two NMOS transistors (N1, N2). P1 and P2 are connected to the subI/O and #subI/O lines, respectively. P3 and P4 are connected to the GI/O and #GI/O lines, respectively. N1 and N2 are connected to the subI/O and #subI/O lines, respectively. A bias line VBLP is connected to the gates of P1 and P2. The circuit is labeled with reference numerals 11, 12, and 13.

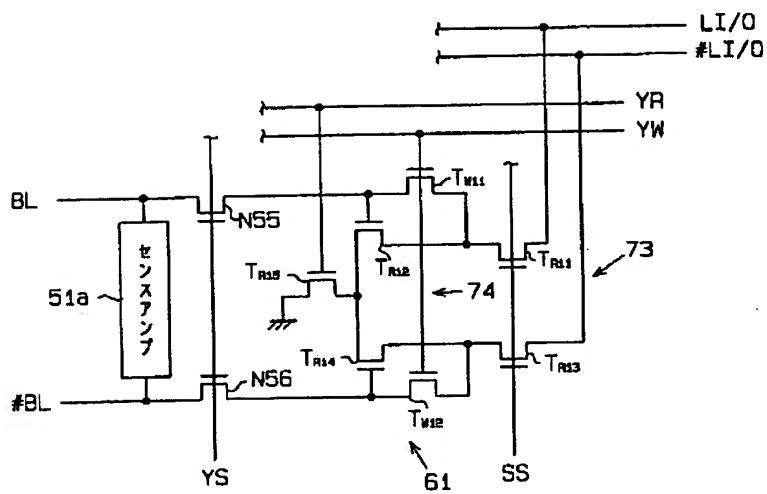
【図18】



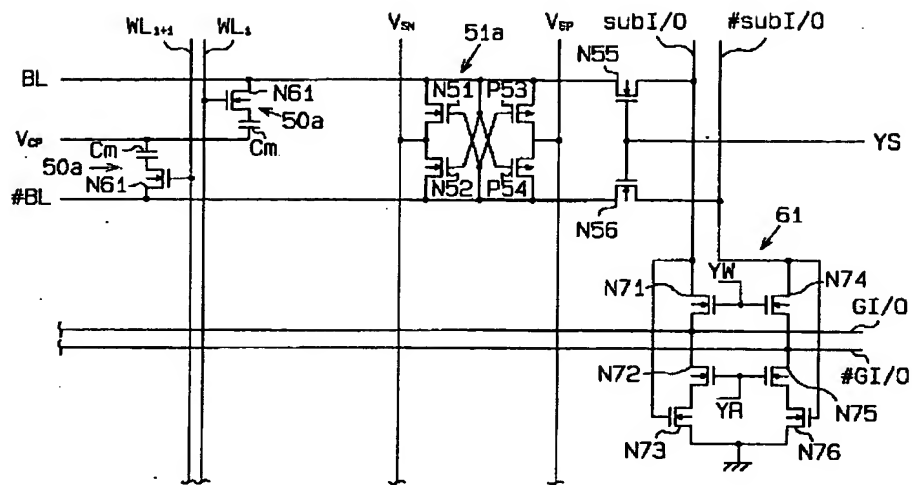
【图 2 1】



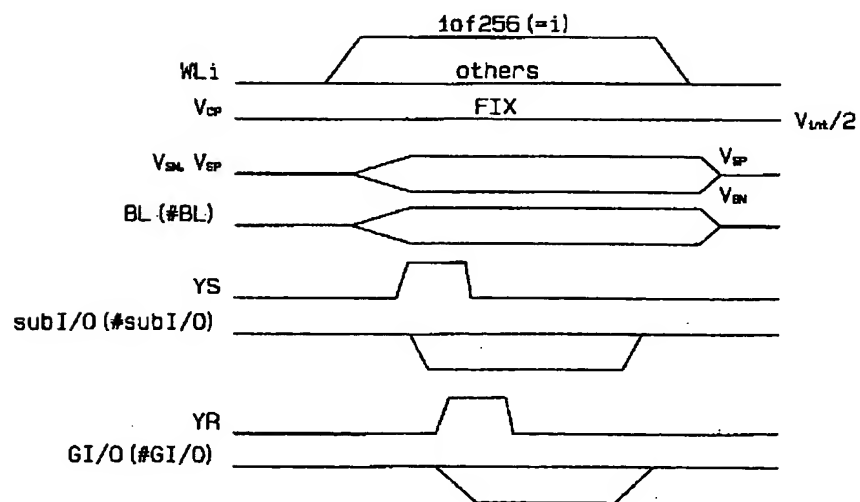
【图 2 2】



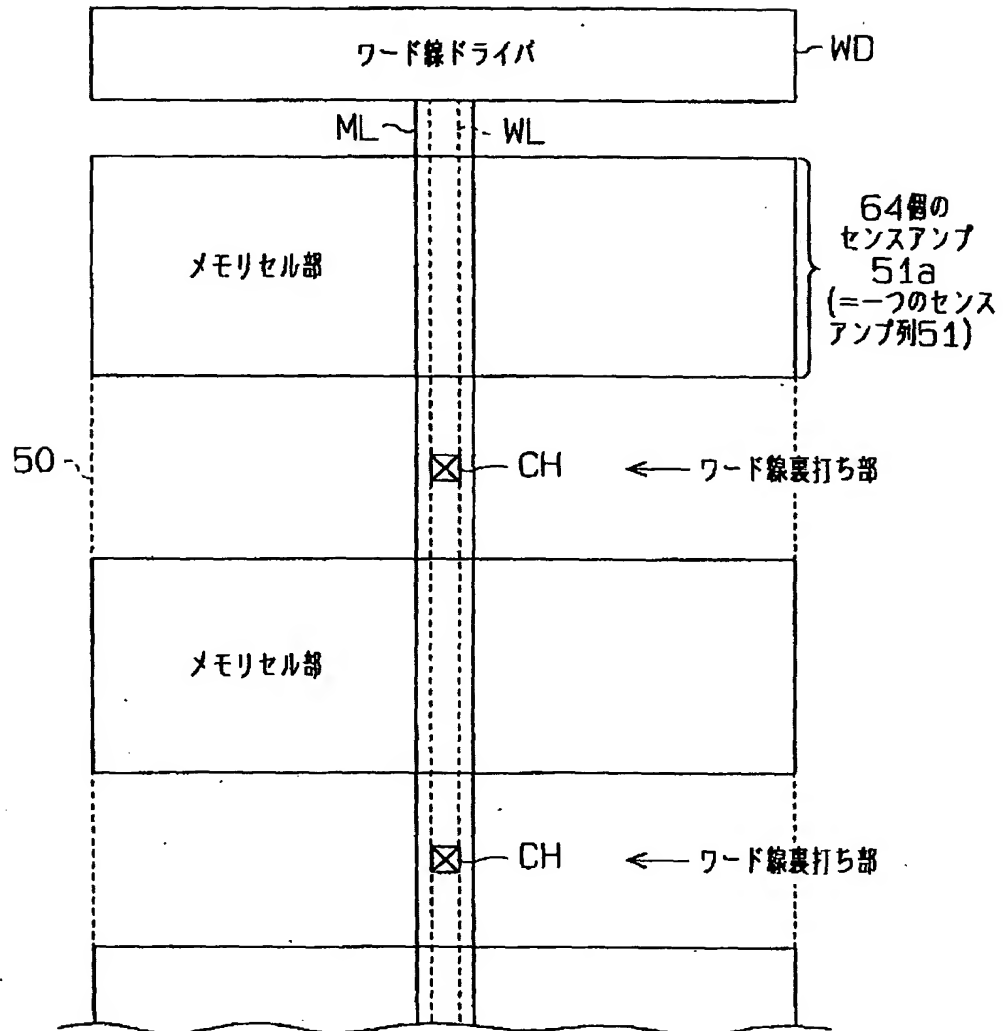
【図 2 3】



【図 2 5】



【図24】



【手続補正書】

【提出日】平成5年2月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体記憶装置

【特許請求の範囲】

【請求項1】 複数のメモリセルアレイと、

その各メモリセルアレイが共有するカラムアドレス選択線と、

前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助リードアンプと、

その各補助リードアンプが共有する一対のグローバル入出力線と、

そのグローバル入出力線に接続されるメインリードアンプとを備え、前記サブ入出力線に読みだされたデータを前記補助リードアンプによって増幅し、その増幅したデータを、前記グローバル入出力線を介して前記メインリードアンプに転送するようにした半導体記憶装置において、

前記補助リードアンプは前記センスアンプから与えられるデータのレベルが所定のレベルに達したときに作動する入力部を有することを特徴とする半導体記憶装置。

【請求項2】 請求項1の半導体記憶装置において、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対のMOSトランジスタからなり、その一対のMOSトランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくしたことを特徴とする半導体記憶装置。

【請求項3】 請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内の前記補助リードアンプのMOSトランジスタのソース電圧を、非活性の前記メモリセルアレイ内の前記センスアンプに接続されるビット線のプリチャージ電圧と等しくしたことを特徴とする半導体記憶装置。

【請求項4】 請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧を、非活性の前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定し、活性した前記メモリセルアレイ内の前記補助リードアンプのMOSトランジスタのソース電圧だけを、そのMOSトランジスタが接続されている前記サブ入出力線のプリチャージ電圧に追従するように変化させることを特徴とする半導体記憶装置。

【請求項5】 請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧を、非活性の前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定すると共に、全ての前記補助リードアンプのMOSトランジスタのソース電圧を、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と等しい電圧値に設定し、活性した前記メモリセルアレイ内の補助リードアンプだけを活性化させることを特徴とする半導体記憶装置。

【請求項6】 複数のメモリセルアレイと、

その各メモリセルアレイが共有するカラムアドレス選択線と、

前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助ライトアンプと、

その各補助ライトアンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助ライトアンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、

前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対のMOSトランジスタからなることを特徴とする半導体記憶装置。

【請求項7】 複数のメモリセルアレイと、

その各メモリセルアレイが共有するカラムアドレス選択線と、

前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助アンプと、

その各補助アンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助アンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、

前記補助アンプは補助リードアンプと補助ライトアンプとからなり、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対のMOSトランジスタからなり、その一対のMOSトランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくし、前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対のMOSトランジスタからなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に係り、詳しくは、ダイナミックRAM (DRAM) に関するものである。

【0002】

【従来の技術】図18は、従来のDRAMの構成を示すブロック回路図である。メモリセルアレイ50には、データを保持するメモリセル50aが多数備えられている。また、各メモリセルアレイ50には、複数のセンスアンプ51aからなるセンスアンプ列51が設けられている。そして、メモリセルアレイ50内のメモリセル50aとセンスアンプ列51内の1つのセンスアンプ51aとが、ビット線BLによって接続されている。

【0003】このメモリセルアレイ50とセンスアンプ列51とからなる各アレイブロックが、共通のカラムアドレス選択線YSによってカラムデコーダYDに接続されている。また、メモリセルアレイ50には多数のワード線WLが接続されており、そのワード線WLはワード線ドライバWDによって制御される。そして、各センスアンプ列51内の各センスアンプ51aはそれぞれ、サブデータバス52を介してメインアンプ53に接続されている。さらに、メインアンプ53はデータバス54を介して入出力回路(図示略)に接続されている。

【0004】尚、図18では図面が煩雑になるのを避けるため、1本のワード線WL、1本のビット線BL、1個のメモリセル50a、1個のセンスアンプ51a、1本のカラムアドレス選択線YSだけを図示している。また、ビット線BLは、レベルが反転した反転ビット線#BL(図示略)と2本で対になって構成されている。

【0005】このように構成されたDRAMからデータを読み出す場合は、まず、ワード線WL(およびビット線BL)によってデータを読み出したい所望のメモリセル50aを選択する。

【0006】そして、所望のメモリセル50aに対応するカラムアドレス選択線YSを立ち上げることにより、そのメモリセル50aに保持されているデータは、センスアンプ51aによって増幅されてサブデータバス52に転送される。

【0007】サブデータバス52からメインアンプ53に送られたデータはメインアンプ53によってさらに増幅され、データバス54を介して入出力回路へ出力される。このようなDRAMでは、センスアンプ51aの負荷駆動能力に比べてサブデータバス52の負荷容量が大きいこと、動作が遅いという問題があった。さらに、サブデータバス52の負荷容量はビット線BLの負荷容量より大きいこと、データの読み出し時にビット線BLと反転ビット線#BLとのビット線対の電位差を縮小してしまう(一般に「データの破壊」と呼ばれる)という問題もあった。

【0008】これを改善するため、近年、図19に示すような補助アンプ61を備えたDRAMが提案されている。このDRAMではセンスアンプ列51に対して1個の補助アンプ61を設け、複数の補助アンプ61に対して1個のメインアンプ62を設けるようにしている。例えば、512個のセンスアンプ51aのそれぞれに接続された512対のビット線対(すなわち、ビット線BLと反転ビット線#BLとを合計すると1024本)を32対ずつ16組に分割してサブデータバス63とする。そして、各サブデータバス63毎に補助アンプ61を接続し、16個の補助アンプ61を共通のグローバル入出力線GI/Oを介して1つのメインアンプ62に接続している。

【0009】このように構成されたDRAMからデータを読み出す場合は、まず、ワード線WL(およびビット線BL)によってデータを読み出したい所望のメモリセル50aを選択する。

【0010】そして、所望のメモリセル50aに対応するカラムアドレス選択線YSを立ち上げることにより、そのメモリセル50aに保持されているデータは、センスアンプ51aによって増幅されてサブデータバス63に転送される。

【0011】サブデータバス63から補助アンプ61に送られたデータは補助アンプ61によって増幅され、グローバル入出力線GI/Oを介してメインアンプ62に転送される。そして、当該データはメインアンプ62によって増幅され、データバス64を介して入出力回路(図示略)へ出力される。

【0012】すなわち、図18に示すDRAMではアレイブロック単位のデータ転送が行われているのに対し、図19に示すDRAMでは複数のセンスアンプ単位の転送が行われているわけである。

【0013】図20は、図18および図19に示すDRAMのセンスアンプ51aを示す回路図である。NチャネルMOSトランジスタN51、N52とPチャネルMOSトランジスタP53、P54とによりクロスカップルラッチ形のセンスアンプ51aが構成されている。各トランジスタN51、P53のドレインはビット線BLに接続され、各トランジスタN52、P54のドレインは反転ビット線#BLに接続されている。

【0014】また、各トランジスタN51、P53のゲートは反転ビット線#BLに接続され、各トランジスタN52、P54のゲートはビット線BLに接続されている。そして、各トランジスタN51、N52のソースは共通ソース線VSNによって他のセンスアンプ51aに接続されており、各トランジスタP53、P54のソースは共通ソース線VSPによって他のセンスアンプ51aに接続されている。

【0015】ビット線BLと入出力線I/Oとは、NチャネルMOSトランジスタN55を介して接続されている。

また、反転ビット線BLと反転入出力線#I/Oとは、NチャンネルMOSトランジスタN56を介して接続されている。

【0016】そして、各トランジスタN55、N56のゲートはカラムアドレス選択線YSに接続されている。ここで、入出力線I/Oおよび反転入出力線#I/Oにはそれぞれ途中にストレーキャパシタCa、Cbが存在している。また、ビット線BLおよび反転ビット線#BLにはそれぞれ途中にストレーキャパシタC1、C2が存在している。

【0017】このように構成されたセンスアンプ51aにおいて読み出しを行う場合、カラムアドレス選択線YSが選択されると、その選択されたカラムアドレス選択線YSに接続されているトランジスタN55、N56がオンする。すると、オンしたトランジスタN55(N56)を介して、ビット線BL(反転ビット線#BL)と入出力線I/O(反転入出力線#I/O)とが容量結合する。

【0018】入出力線I/Oと反転入出力線#I/Oとの入出力線対の容量(すなわち、ストレーキャパシタCa、Cbの容量)がビット線BLと反転ビット線#BLとのビット線対の容量(すなわち、ストレーキャパシタC1、C2)より大きい場合、ビット線対に十分な電位差が生じていないと、前記両者の容量結合によってビット線対の電位差が縮小してしまう(すなわち、ビット線対のデータが破壊される)可能性がある。

【0019】ここで、図18に示すサブデータバス52および図19に示すサブデータバス63は、それぞれ図20に示す入出力線I/Oと反転入出力線#I/Oとで構成されている。しかしながら、前記したように、サブデータバス63の方が、接続されているセンスアンプ51aの数が少ない分だけ、サブデータバス52より配線長が短くなり、負荷容量も小さくなっている。

【0020】そのため、図18に示すDRAMにおける入出力線対の容量はビット線対の容量の数倍であるのに対し、図19に示すDRAMにおける入出力線対の容量はビット線対の容量と大差ない。従って、図19に示すDRAMではデータの破壊を防止することができる。また、図18に示すDRAMではデータが破壊されないようにビット線対の電位差が読み出し前に十分大きくなるのを待つ必要があったのに対して、図19に示すDRAMではその必要がなくなり読み出し動作の高速化が可能である。

【0021】さらに、図19に示すDRAMでは、メモリセルアレイ50上にデータバス(グローバル入出力線GI/O)を備えるため、特に内部バスが多く要求される場合(例えば、多ビットDRAM)においては、バスラインのパターン面積を少なくでき省面積化に有効である。

【0022】図21は、データの破壊を防止するために読み出しゲートを改良したDRAMにおけるセンスアンプとその周辺回路を示す回路図である。このDRAMで

は、ビット線BLと反転ビット線#BLとの間に読み出しゲート71および書き込みゲート72を備えている。

【0023】読み出しゲート71は各MOSトランジスタTR1~TR4によって構成されている。すなわち、読み出しデータバスRDBにトランジスタTR1、TR2の直列回路が接続され、反転読み出しデータバス#RDBにトランジスタTR3、TR4の直列回路が接続されている。そして、各トランジスタTR1、TR3のゲートは読み出し補助アンプ選択線YRに接続されている。また、トランジスタTR2のゲートはビット線BLに、トランジスタTR4のゲートは反転ビット線#BLにそれぞれ接続され、各トランジスタTR2、TR4のソースは接地されている。そして、読み出し補助アンプ選択線YRからは、読み出し動作に同期して読み出しゲート71を活性化させるための制御信号が与えられる。

【0024】一方、書き込みゲート72は従来のゲートと同じ構成である。すなわち、書き込みデータバスWDBとビット線BLとの間にMOSトランジスタTW1が接続され、反転書き込みデータバス#WDBと反転ビット線#BLとの間にMOSトランジスタTW2が接続されている。その各トランジスタTW1、TW2のゲートは書き込み補助アンプ選択線YWに接続されている。そして、書き込み補助アンプ選択線YWからは、書き込み動作に同期して書き込みゲート72を活性化させるための制御信号が与えられる。

【0025】また、ビット線BLと反転ビット線#BLとの間には、図20に示したのと同じ構成のセンスアンプ51aが接続されている。そして、ワード線WLとビット線BLには、NチャンネルMOSトランジスタN61とキャパシタCmとからなるメモリセル50aが接続されている。尚、反転ビット線#BLに接続されているメモリセル50aについては図示しない。

【0026】このように構成されたDRAMにおいては、読み出しゲート71によってビット線対のデータが一段増幅されるため、データの破壊を防止することができる。すなわち、このDRAMは、ビット線対のデータ増幅型のデータ非破壊型読み出し方式であるといえる。ところで、この方式ではセンスアンプ51a毎に読み出しゲート71と書き込みゲート72とを設ける必要があるため、センスアンプ列51のパターン面積が大きくなり省面積化に不利となる。

【0027】そこで、図21に示す読み出しゲート71をビット線対毎(すなわち、センスアンプ51a毎)ではなく、補助アンプ61毎に設ける方式が種々提案されている。

【0028】図22は、読み出しゲート73および書き込みゲート74を補助アンプ61毎に設けた方式の一つであって、「VLSI SYMPOSIUM ON CIRCUITS, 1991」に開示されている方式の要部回路図である。

【0029】読み出しゲート73は各MOSトランジスタ

タTR11～TR15によって構成されている。すなわち、ローカル入出力線LI/0にトランジスタTR11, TR12の直列回路が接続され、反転ローカル入出力線 $\#LI/0$ にトランジスタTR13, TR14の直列回路が接続されている。そして、各トランジスタTR12, TR14はトランジスタTR15を介して接地されている。トランジスタTR15のゲートは読み出し補助アンプ選択線YRに接続されている。

【0030】また、各トランジスタTR11, TR13のゲートは、読み出しゲート73を選択するためのセクション選択線SSに接続されている。さらに、トランジスタTR12のゲートはビット線BLに、トランジスタTR14のゲートは反転ビット線 $\#BL$ にそれぞれ接続されている。そして、読み出し補助アンプ選択線YRからは、読み出し動作に同期して読み出しゲート73を活性化させるための制御信号が与えられる。

【0031】一方、書き込みゲート74は各MOSトランジスタTW11, TW12によって構成されている。すなわち、各トランジスタTR11, TR12の接続部とビット線BLとの間にトランジスタTW11が接続され、各トランジスタTR13, TR14の接続部と反転ビット線 $\#BL$ との間にトランジスタTW12が接続されている。その各トランジスタTW11, TW12のゲートは書き込み補助アンプ選択線YWに接続されている。そして、書き込み補助アンプ選択線YWからは、書き込み動作に同期して書き込みゲート74を活性化させるための制御信号が与えられる。

【0032】また、ビット線BLと反転ビット線 $\#BL$ との間には、図20と同様に、各トランジスタN55, N56を介してセンスアンプ51aが接続されている。このように構成された読み出しゲート73および書き込みゲート74は、センスアンプ51a毎にではなく補助アンプ61毎に設けられている。例えば、「VLSI SYMPOSIUM ON CIRCUITS, 1991」では、8個のセンスアンプ51aに対して1個の補助アンプ61が設けられている。従って、図22に示すDRAMは図21に示すDRAMに比べて、省面積化を図ることができる。

【0033】また、図23も、読み出しゲートおよび書き込みゲートを補助アンプ61毎に設けた方式の一つであって、「1992年電子情報通信学会春季大会C-631『高速化に適したDRAMのアレイ構成』」に開示されている方式の要部回路図である。

【0034】この場合、センスアンプ51aと補助アンプ61とは、サブデータバス63を構成するサブ入出力線subI/0および反転サブ入出力線 $\#subI/0$ によって接続されている。

【0035】また、補助アンプ61は、メモリセルアレイ50のワード線裏打ち部（ワード線シャント部）に設けられている。すなわち、近年、ワード線WLの配線抵抗を小さくしてDRAMを高速で動作させることが要求されている。ところが、一般にワード線WLはMOSトランジスタのゲートを延長して利用しており、配線抵抗を小

さくするためにワード線WLの線幅を広くするとパターン面積が大きくなって省面積化に反する。

【0036】そこで、図24に示すように、ワード線WLの上部にアルミニウム等によるメタル線MLを形成し、そのメタル線MLとワード線WLとを所定の間隔に設けたコンタクトホールCHによって接続している。例えば、64個のセンスアンプ51aでセンスアンプ列51を構成し、そのセンスアンプ列51毎にコンタクトホールCHを設けている。

【0037】メモリセルアレイ50において、このコンタクトホールCHが設けられている部分が、一般に「ワード線裏打ち部」または「ワード線シャント部」と呼ばれている部分である。このワード線裏打ち部にはメモリセル50aやビット線BL、反転ビット線 $\#BL$ が設けられていない。また、この部分のセンスアンプ列51部分にはセンスアンプ51が設けられておらず、従来、言わば「空き地」になっていた。この「空き地」の部分に補助アンプ61を設けると共に、グローバル入出力線GI/0および反転グローバル入出力線 $\#GI/0$ を設けて、スペースの有効利用を図ろうというわけである。

【0038】図23に示すように、センスアンプ51aの構成は図20に示すものと同じである。ワード線WL_iとビット線BL（および、ワード線WL_iの隣のワード線WL_{i+1}と反転ビット線 $\#BL$ ）にはそれぞれ、トランジスタN61とキャパシタC_mとからなる各メモリセル50aが接続されている。そして、各キャパシタC_mのトランジスタN61に接続されている側とは反対側の電極は、電源線VCPに接続されている。この電源線VCPには、常時、内部電源電圧V_{int}の1/2の電圧（=V_{int}/2）が印加されている。尚、ビット線BLおよび反転ビット線 $\#BL$ のプリチャージ電圧VBLPも内部電源電圧V_{int}の1/2の電圧に設定されている（VBLP=VCP=V_{int}/2）。

【0039】ビット線BLとサブ入出力線subI/0とはトランジスタN55を介して接続されており、反転ビット線 $\#BL$ と反転サブ入出力線 $\#subI/0$ とはトランジスタN56を介して接続されている。

【0040】補助アンプ61は6個のNチャネルMOSトランジスタN71～N76から構成されている。すなわち、サブ入出力線subI/0とグラウンドの間には各トランジスタN71, N72, N73が直列に接続され、反転サブ入出力線 $\#subI/0$ とグラウンドの間には各トランジスタN74, N75, N76が直列に接続されている。また、ソースが接地されているトランジスタN73のゲートはサブ入出力線subI/0に接続され、ソースが接地されているトランジスタN76のゲートは反転サブ入出力線 $\#subI/0$ に接続されている。各トランジスタN71, N74のゲートは書き込み補助アンプ選択線YWに接続され、各トランジスタN72, N75のゲートは読み出し補助アンプ選択線YRに接続されている。そして、

読み出し補助アンプ選択線YRからは、読み出し動作に同期してHレベルの制御信号が与えられる。一方、書き込み補助アンプ選択線YWからは、書き込み動作に同期してHレベルの制御信号が与えられる。さらに、各トランジスタN71, N72の接続部はグローバル入出力線GI/0に接続され、各トランジスタN74, N75の接続部は反転グローバル入出力線#GI/0に接続されている。

【0041】次に、このように構成されたDRAMの読み出し動作を、図25に示すタイムチャートに従って説明する。尚、メモリセル50aやセンスアンプ51aの動作については公知であるのでその詳細な説明は省略する。

【0042】読み出し動作を行う前において、サブ入出力線subI/0, 反転サブ入出力線#sub I/0, グローバル入出力線GI/0, 反転グローバル入出力線#GI/0は全てHレベルにプリチャージしておく。

【0043】そして、所望のワード線WLiをHレベルに立ち上げると、そのワード線WLiに接続されているメモリセル50aの状態に応じて、ビット線BLと反転ビット線#BLとのビット線対の電圧が変化する。センスアンプ51aはそのビット線対の電圧の変化を増幅し、内部電源電圧Vintとグランドレベル(=0V)との間でビット線対をフルスイングさせる。

【0044】ここで例えば、ビット線BLがLレベルで反転ビット線#BLがHレベルになっているとする。そして、所望のカラムアドレス選択線YSをHレベルに立ち上げると、そのカラムアドレス選択線YSに接続されているトランジスタN55, N56はオンする。すると、サブ入出力線subI/0はHレベルからLレベルにディスチャージされ、反転サブ入出力線#sub I/0はHレベルのまま保持される。

【0045】サブ入出力線subI/0および反転サブ入出力線#sub I/0のレベルが確定したら、読み出し補助アンプ選択線YRからHレベルの制御信号が与えられ各トランジスタN72, N75はオンする。すると、トランジスタN76はオンし、トランジスタN73はオフしたままとなる。

【0046】従って、オンした各トランジスタN75, N76を介して、反転グローバル入出力線#GI/0はHレベルからLレベルにディスチャージされる。一方、グローバル入出力線GI/0はHレベルのまま保持される。

【0047】このように、ディスチャージされたサブ入出力線subI/0(反転サブ入出力線#sub I/0)に対して、グローバル入出力線GI/0(反転グローバル入出力線#GI/0)には変化がなく、プリチャージ状態のHレベルが保持される。一方、ディスチャージされたサブ入出力線subI/0(反転サブ入出力線#sub I/0)に対して、反転グローバル入出力線#GI/0(グローバル入出力線GI/0)はディスチャージされてLレベルになる。

【0048】その結果、補助アンプ61は、サブ入出力

線subI/0および反転サブ入出力線#sub I/0からのデータを増幅して、グローバル入出力線GI/0および反転グローバル入出力線#GI/0に転送することができる。

【0049】

【発明が解決しようとする課題】ところで、プリチャージ状態のときに各トランジスタ72, 75がオンしたとき各トランジスタ73, 76は既にオンしているため、オンした各トランジスタ72, 73および各トランジスタ75, 76によってそれぞれ導通パスが構成される。すると、グローバル入出力線GI/0, 反転グローバル入出力線#GI/0は共にLレベルになってしまい、Hレベルにプリチャージすることができなくなる。

【0050】また、同様の理由により、サブ入出力線subI/0および反転サブ入出力線#subI/0のレベルが十分に確定しないうちに各トランジスタ72, 75がオンした場合、誤動作が起こる可能性がある。

【0051】従って、読み出し補助アンプ選択線YRからの制御信号は、カラムアドレス選択線YSと正確に同期をとっておかなければならない。さらに、グローバル入出力線GI/0および反転グローバル入出力線#GI/0は、複数の補助アンプ61に共用されている。そのため、非活性なメモリセルアレイ50の補助アンプ61をグローバル入出力線GI/0および反転グローバル入出力線#GI/0から切り離さないと、前記したプリチャージ状態のときに各トランジスタ72, 75がオンして導通パスが構成された場合と同様の問題が生じる。従って、非活性なメモリセルアレイ50の補助アンプ61をグローバル入出力線GI/0および反転グローバル入出力線#GI/0から切り離す必要があり、読み出し補助アンプ選択線YRからの制御信号は、それを留意してコントロールする必要がある。

【0052】その結果、読み出し補助アンプ選択線YRを制御するための回路が複雑になると共に、上記した様々なタイミングで動作させるための動作マージンが必要となり高速性が妨げられる。また、各補助アンプ61毎に読み出し補助アンプ選択線YRを設けなければならない、全ての読み出し補助アンプ選択線YRの占めるパターン面積は相当大きなものになる。結局、図23に示す方式のDRAMにおいて、読み出し補助アンプ選択線YRを設けて補助アンプ61を制御する場合には、省面積化が阻害される上に十分な高速化を実現できなくなる。

【0053】ところで、図23に示す方式のDRAMにおいては、読み出し補助アンプ選択線YRに関する問題だけでなく、書き込み補助アンプ選択線YWについても同様の問題がある。

【0054】すなわち、書き込み補助アンプ選択線YWを制御するための回路が複雑になると共に、書き込み動作においても様々なタイミングを最適に合わせる必要がある。また、各補助アンプ61毎に書き込み補助アンプ選択線YWを設けなければならない、全ての書き込み補助アンプ選択線YWの占めるパターン面積は相当大きなものにな

る。従って、書き込み補助アンプ選択線YWを設けて補助アンプ61を制御する場合にも、省面積化が阻害される上に高速化を十分に実現できなくなる。

【0055】また、図22に示す方式のDRAMにおいても、読み出し補助アンプ選択線YRおよび書き込み補助アンプ選択線YWを設けるため、図23に示す方式のDRAMと同様の問題を生じることになる。

【0056】本発明は上記問題点を解決するためになされたものであって、その目的は、省面積化および高速化を実現できると共に、読み出し動作時にデータの破壊を起こさない半導体記憶装置を、簡単な構成によって提供することにある。

【0057】

【課題を解決するための手段】請求項1記載の発明は、複数のメモリセルアレイと、その各メモリセルアレイが共有するカラムアドレス選択線と、前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助リードアンプと、その各補助リードアンプが共有する一対のグローバル入出力線と、そのグローバル入出力線に接続されるメインリードアンプとを備え、前記サブ入出力線に読みだされたデータを前記補助リードアンプによって増幅し、その増幅したデータを、前記グローバル入出力線を介して前記メインリードアンプに転送するようにした半導体記憶装置において、前記補助リードアンプは前記センスアンプから与えられるデータのレベルが所定のレベルに達したときに作動する入力部を有することをその要旨とする。

【0058】請求項2記載の発明は、請求項1の半導体記憶装置において、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対のMOSトランジスタからなり、その一対のMOSトランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくしたことをその要旨とする。

【0059】請求項3記載の発明は、請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内の前記補助リードアンプのMOSトランジスタのソース電圧を、非活性の前記メモリセルアレイ内の前記センスアンプに接続されるビット線のプリチャージ電圧と等しくしたことをその要旨とする。

【0060】請求項4記載の発明は、請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧を、非活性の前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定し、活性した前記メモリセルアレイ内の前記補助リードアンプのMOSトランジスタのソース電圧だけを、そのMOSトランジスタが接続されている前記サブ入出力線のプリチャージ電圧に追従するように

変化させることをその要旨とする。

【0061】請求項5記載の発明は、請求項2の半導体記憶装置において、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧を、非活性の前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と異なる電圧値に設定すると共に、全ての前記補助リードアンプのMOSトランジスタのソース電圧を、活性した前記メモリセルアレイ内のサブ入出力線のプリチャージ電圧と等しい電圧値に設定し、活性した前記メモリセルアレイ内の補助リードアンプだけを活性化させることをその要旨とする。

【0062】請求項6記載の発明は、複数のメモリセルアレイと、その各メモリセルアレイが共有する補助アンプ選択線と、前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助ライトアンプと、その各補助ライトアンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助ライトアンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対のMOSトランジスタからなることをその要旨とする。

【0063】請求項7記載の発明は、複数のメモリセルアレイと、その各メモリセルアレイが共有する補助アンプ選択線と、前記各メモリセルアレイ内の複数のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線によって接続される補助アンプと、その各補助アンプが共有する一対のグローバル入出力線とを備え、前記グローバル入出力線に書き込まれたデータを前記補助アンプによって増幅し、その増幅したデータを、前記サブ入出力線を介して前記センスアンプに転送するようにした半導体記憶装置において、前記補助アンプは補助リードアンプと補助ライトアンプとからなり、前記補助リードアンプは、前記一対のグローバル入出力線のそれぞれとドレインが接続されると共に、前記一対のサブ入出力線のそれぞれとゲートが接続される一対のMOSトランジスタからなり、その一対のMOSトランジスタのソース電圧を前記一対のサブ入出力線のプリチャージ電圧と等しくし、前記補助ライトアンプは、前記一対のグローバル入出力線のそれぞれとゲートが接続されると共に、前記一対のサブ入出力線のそれぞれとドレインが接続される一対のMOSトランジスタからなることをその要旨とする。

【0064】

【作用】従って、請求項1または請求項2記載の発明においては、サブ入出力線にデータが生じた場合にのみ補

補助リードアンプが活性化される。そのため、補助リードアンプを制御するための複雑で動作マージンが必要な制御信号を省くことができる。その結果、補助リードアンプの制御信号の動作マージン分だけ高速化することができる。また、当該制御信号の信号線や制御信号を生成する回路が専有する面積分だけ、省面積化することができる。さらに、サブ入出力線に読みだされたデータは、補助リードアンプによって一旦増幅されてからグローバル入出力線に転送されるため、読み出し動作時にデータの破壊が起こることはない。

【0065】請求項3記載の発明においては、全ての補助リードアンプのMOSトランジスタのソース電圧が共通のビット線のプリチャージ電圧と等しくなる。請求項6記載の発明においては、グローバル入力線にデータが生じた場合にのみ補助ライトアンプが活性化される。そのため、補助ライトアンプを制御するための複雑で動作マージンが必要な制御信号を省くことができる。その結果、補助ライトアンプの制御信号の動作マージン分だけ高速化することができる。また、当該制御信号の信号線や制御信号を生成する回路が専有する面積分だけ、省面積化することができる。

【0066】請求項7記載の発明においては、サブ入出力線にデータが生じた場合にのみ補助リードアンプが活性化されると共に、グローバル入力線にデータが生じた場合にのみ補助ライトアンプが活性化される。

【0067】

【実施例】

(第1実施例) 以下、本発明を具体化した第1実施例を図1～図6に従って説明する。

【0068】尚、本実施例において、図18～図25に示した従来例と同じ構成については符号を等しくしてその詳細な説明を省略する。本実施例のDRAMのブロック回路図は、図19に示す従来例と同じである。

【0069】図6は、図19に示す本実施例の16メガビットDRAMの実際の半導体チップ1上における配置例を示した平面図である。半導体チップ1には4メガビットのメモリブロック2が4個配置されている。また、半導体チップ1の外周上下には、ロウ選択信号#RAS、カラム選択信号#CAS、書き込み信号#WE、出力信号#OE、入出力信号I/O、アドレスAddress、および電源VCC、VSS用等の各種パッド3が配置されている。

【0070】さらに、半導体チップ1の中央部にはメインクロック4が配置されている。上下のメモリブロック2の間にはワード線ドライバWDを含むロウデコーダ5が配置され、各メモリブロック2とメインクロック4との間にはカラムデコーダYDが配置されている。また、各カラムデコーダYDとメインクロック4との間には、複数のメインアンプ62からなるメインアンプ列62aが配置されている。

【0071】図1は、本実施例のDRAMの要部回路図

である。尚、図1において、図23に示した従来例と異なるのは補助アンプ61の構成についてだけである。

【0072】但し、各トランジスタN51、N52のソースは共通ソース線VSNに接続されていると共に、NチャネルMOSトランジスタN62のドレインに接続されている。そのトランジスタN62のソースは接地されており、ゲートは制御信号線SNに接続されている。

【0073】これは、センスアンプ51aのセンス動作時において共通ソース線VSNにかかる負担を軽減することにより、センス動作の高速化を図るためである。すなわち、センス動作時において共通ソース線VSNはLレベルに立ち下がるが、その時、制御信号線SNをHレベルに立ち上げることによってトランジスタN62をオンさせる。これにより、オンしたトランジスタN62を介して各トランジスタN51、N52のソースが接地されるため、共通ソース線VSNの負担が軽減するわけである。

【0074】図1に示すように、本実施例の補助アンプ61は補助リードアンプ11と補助ライトアンプ12とから構成される。その補助リードアンプ11はPチャネルMOSトランジスタP1、P2から構成されている。すなわち、トランジスタP1のゲートはサブ入出力線subI/Oに接続され、トランジスタP2のゲートは反転サブ入出力線#subI/Oに接続されている。また、トランジスタP1のドレインはグローバル入出力線GI/Oに接続され、トランジスタP2のドレインは反転グローバル入出力線#GI/Oに接続されている。そして、各トランジスタP1、P2のソースには内部電源電圧Vintが印加されている。

【0075】一方、補助ライトアンプ12はNチャネルMOSトランジスタN1、N2から構成されている。すなわち、トランジスタN1のゲートはグローバル入出力線GI/Oに接続され、トランジスタN2のゲートは反転グローバル入出力線#GI/Oに接続されている。また、トランジスタN1のドレインはサブ入出力線subI/Oに接続され、トランジスタN2のドレインは反転サブ入出力線#subI/Oに接続されている。そして、各トランジスタN1、N2のソースは接地されている。

【0076】次に、このように構成されたDRAMの読み出し動作を、図2に示すタイムチャートに従って説明する。尚、メモリセル50aやセンスアンプ51aの動作については公知であるのでその詳細な説明は省略する。

【0077】読み出し動作を行う前において、サブ入出力線subI/Oおよび反転サブ入出力線#subI/OはHレベルにプリチャージしておき、グローバル入出力線GI/Oおよび反転グローバル入出力線#GI/OはLレベルにプリチャージしておく。

【0078】すると、各トランジスタP1、P2のゲート電圧(すなわち、サブ入出力線subI/Oおよび反転サブ入出力線#subI/Oのプリチャージ電圧VP)とソース

電圧 V_S （すなわち、内部電源電圧 V_{int} ）は等しくなる。このとき、各トランジスタ P_1 、 P_2 はオフしているため、補助リードアンプ11は非活性になる。

【0079】そして、所望のワード線 WL_i をHレベルに立ち上げると、そのワード線 WL_i に接続されているメモリセル50aの状態に応じて、ビット線 BL と反転ビット線 $\#BL$ とのビット線対の電圧が変化する。センスアンプ51aはそのビット線対の電圧の変化を増幅し、内部電源電圧 V_{int} とグラウンドレベル（ $=0V$ ）との間でビット線対をフルスイングさせる。

【0080】ここで例えば、ビット線 BL がLレベルで反転ビット線 $\#BL$ がHレベルになっているとする。そして、所望のカラムアドレス選択線 YS をHレベルに立ち上げると、そのカラムアドレス選択線 YS に接続されているトランジスタ N_{55} 、 N_{56} はオンする。すると、サブ入出力線 $subI/0$ はHレベルからLレベルにディスチャージされ、反転サブ入出力線 $\#subI/0$ はHレベルのまま保持される。

【0081】そのため、補助リードアンプ11のトランジスタ P_1 はオンし、トランジスタ P_2 はオフしたままとなる。すると、グローバル入出力線 $GI/0$ には、オンしたトランジスタ P_1 を介して内部電源電圧 V_{int} が印加されてLレベルからHレベルにチャージされる。一方、反転グローバル入出力線 $\#GI/0$ はLレベルのまま保持される。

【0082】このように、ディスチャージされないサブ入出力線 $subI/0$ （反転サブ入出力線 $\#subI/0$ ）に対して、グローバル入出力線 $GI/0$ （反転グローバル入出力線 $\#GI/0$ ）には変化がなく、プリチャージ状態のLレベルが保持される。一方、ディスチャージされたサブ入出力線 $subI/0$ （反転サブ入出力線 $\#subI/0$ ）に対して、反転グローバル入出力線 $\#GI/0$ （グローバル入出力線 $GI/0$ ）はチャージされてHレベルになる。

【0083】その結果、補助リードアンプ11は、サブ入出力線 $subI/0$ および反転サブ入出力線 $\#subI/0$ からのデータを増幅して、グローバル入出力線 $GI/0$ および反転グローバル入出力線 $\#GI/0$ に転送することができる。

【0084】ここで、同じメモリセルアレイ50内の別のサブ入出力線 $subI/0$ および反転サブ入出力線 $\#subI/0$ はプリチャージ状態のままなので、接続されている補助リードアンプ11は全て非活性になっている。また、非活性な別のメモリセルアレイ50内の補助リードアンプ11も同様に非活性になっている。すなわち、プリチャージ状態において、同じグローバル入出力線 $GI/0$ および反転グローバル入出力線 $\#GI/0$ に接続されている補助リードアンプ11は全て非活性になっている。

【0085】そして、読み出し動作時には、所望のカラムアドレス選択線 YS によって選択された補助リードアンプ11のみが活性化し、同じグローバル入出力線 $GI/0$ および反転グローバル入出力線 $\#GI/0$ に接続されている他

の補助リードアンプ11は全て非活性のまま作動しない。図3は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。

【0086】従って、本実施例の補助リードアンプ11においては、図22および図23に示した従来例の補助アンプ61のように読み出し補助アンプ選択線 YR を設ける必要がない。そのため、読み出し補助アンプ選択線 YR からの制御信号をコントロールする必要もなく、読み出し補助アンプ選択線 YR を制御するための回路も必要なくなる。

【0087】尚、メモリセルアレイ50が活性化すると、そのメモリセルアレイ50内のセンスアンプ51aが全て活性化し、メモリセルアレイ50内の全てのビット線対毎にワード線 WL で選択されたメモリセル50aが充放電することである。

【0088】また、補助アンプ61が設けられているワード線裏打ち部にはもともと n ウェルが存在しており、図23に示した従来例では未使用であったその n ウェルを使用すれば、 P チャネルMOSトランジスタ P_1 、 P_2 を形成することは容易である。

【0089】次に、このように構成されたDRAMの書き込み動作を、図4に示すタイムチャートに従って説明する。尚、メモリセル50aやセンスアンプ51aの動作については公知であるのでその詳細な説明は省略する。

【0090】書き込み動作を行う前においても、読み出し動作を行う前と同様に、サブ入出力線 $subI/0$ および反転サブ入出力線 $\#subI/0$ はHレベルにプリチャージしておき、グローバル入出力線 $GI/0$ および反転グローバル入出力線 $\#GI/0$ はLレベルにプリチャージしておく。

【0091】このとき、各トランジスタ N_1 、 N_2 はオフしているため、補助ライトアンプ12は非活性になる。そして、所望のワード線 WL_i をHレベルに立ち上げると、そのワード線 WL_i に接続されているメモリセル50aの状態に応じて、ビット線 BL と反転ビット線 $\#BL$ とのビット線対の電圧が変化する。センスアンプ51aはそのビット線対の電圧の変化を増幅し、内部電源電圧 V_{int} とグラウンドレベル（ $=0V$ ）との間でビット線対をフルスイングさせる。

【0092】ここで例えば、グローバル入出力線 $GI/0$ にはHレベル、反転グローバル入出力線 $\#GI/0$ にはLレベルのデータが書き込まれたとする。すると、補助ライトアンプ12のトランジスタ N_1 はオンし、トランジスタ N_2 はオフしたままとなる。そのため、サブ入出力線 $subI/0$ はHレベルからLレベルにディスチャージされ、反転サブ入出力線 $\#subI/0$ はHレベルのまま保持される。

【0093】そして、所望のカラムアドレス選択線 YS をHレベルに立ち上げると、そのカラムアドレス選択線 YS に接続されているトランジスタ N_{55} 、 N_{56} はオンす

る。すると、ビット線BLはLレベルになると共に反転ビット線 $\#BL$ はHレベルになり、メモリセル50aにはビット線BLおよび反転ビット線 $\#BL$ のレベルに対応したデータが書き込まれる。

【0094】このように、Lレベルのグローバル入出力線GI/0（反転グローバル入出力線 $\#GI/0$ ）に対して、サブ入出力線subI/0（反転サブ入出力線 $\#sub I/0$ ）には変化がなく、プリチャージ状態のHレベルが保持される。一方、Hレベルのグローバル入出力線GI/0（反転グローバル入出力線 $\#GI/0$ ）に対して、反転サブ入出力線 $\#sub I/0$ （サブ入出力線sub I/0）はディスチャージされてLレベルになる。

【0095】その結果、補助ライトアンプ12は、グローバル入出力線GI/0および反転グローバル入出力線 $\#GI/0$ からのデータを増幅して、サブ入出力線subI/0および反転サブ入出力線 $\#sub I/0$ に転送することができる。

【0096】ここで、プリチャージ状態において、同じメモリセルアレイ50内の別のサブ入出力線subI/0および反転サブ入出力線 $\#sub I/0$ に接続されている補助ライトアンプ12は全て非活性になっている。また、非活性な別のメモリセルアレイ50内の補助ライトアンプ12も同様に非活性になっている。すなわち、プリチャージ状態において、同じグローバル入出力線GI/0および反転グローバル入出力線 $\#GI/0$ に接続されている補助ライトアンプ12は全て非活性になっている。

【0097】そして、書き込み動作時には、所望のカラムアドレス選択線YSによって選択された補助ライトアンプ12のみが活性化し、同じグローバル入出力線GI/0および反転グローバル入出力線 $\#GI/0$ に接続されている他の補助ライトアンプ12は全て非活性のまま作動しない。図5は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0098】従って、本実施例の補助ライトアンプ12においては、図22および図23に示した従来例の補助アンプ61のように書き込み補助アンプ選択線YWを設ける必要がない。そのため、書き込み補助アンプ選択線YWからの制御信号をコントロールする必要もなく、書き込み補助アンプ選択線YWを制御するための回路も必要なくなる。

【0099】このように本実施例において、補助リードアンプ11は、サブ入出力線subI/0および反転サブ入出力線 $\#sub I/0$ からの読み出しデータによって駆動制御される。また、補助ライトアンプ12は、グローバル入出力線GI/0および反転グローバル入出力線 $\#GI/0$ からの書き込みデータによって駆動制御される。

【0100】つまり、本実施例の補助アンプ61は、読み出し動作または書き込み動作のいずれの場合においても、完全にデータ駆動型のデータ転送が可能となる。そのため、本実施例では、補助アンプ61を制御するための複雑で動作マージンが必要な制御信号（読み出し補助

アンプ選択線YRおよび書き込み補助アンプ選択線YWからの制御信号）を省くことができる。

【0101】また、本実施例の補助アンプ61は、図22および図23に示した従来例の補助アンプ61に比べて簡単な構成であるため具体化するのが容易である。さらに、本実施例では、図6に示したように、余分なデータバス（および、図18におけるメインアンプ53を制御するためのコントロール信号線）を半導体チップ1上に引き回す必要がない。すなわち、図19に示したデータバス64はメインクロック4の部分に配置すればよく、半導体チップ1の周辺部にデータバスがないため省面積化を図ることができる。

【0102】従って、本実施例では、図23に示した従来例のDRAMの利点を全て備えた上で、従来の問題点を全て解決することができる。ところで、図6に示したように、各カラムデコーダYDはメインクロック4を挟んで半導体チップ1の中央部に配置されている。そして、カラムアドレス選択線YSに第2メタル線を使用することにより、前記したように、異なるメモリセルアレイ50間で1本のカラムアドレス選択線YSを共用している。

【0103】この場合、カラムアドレス選択線YSを、そのまま各トランジスタN55、N56からなるI/Oゲートに接続する方法（以下、方法1という）がある。また、各メモリセルアレイ50を選択するための信号線とカラムアドレス選択線YSとで論理をとり、活性化したメモリセルアレイ50のカラムアドレス選択線YS（図1、図2、図4においてはGYSと表記して区別している）に対応するI/Oゲート（すなわち、各トランジスタN55、N56）だけをオンさせる方法（以下、方法2という）もある。

【0104】上記した第1実施例は方法2である。すなわち、第1実施例では、活性化したメモリセルアレイ50のサブ入出力線subI/0および反転サブ入出力線 $\#sub I/0$ だけが、カラムアドレス選択線YSに従って対応するビット線BLおよび反転ビット線 $\#BL$ に接続される。従って、読み出し動作においては、選択すべき補助リードアンプ11に接続されているサブ入出力線subI/0および反転サブ入出力線 $\#sub I/0$ だけが、プリチャージ電圧VPとは異なる電圧になる。

【0105】その他のサブ入出力線subI/0および反転サブ入出力線 $\#sub I/0$ については、プリチャージ電圧VPのままである。そのため、各トランジスタP1、P2のゲート電圧（＝プリチャージ電圧VP）とソース電圧VSとが等しければ（ $VP = VS$ ）、その電圧は内部電源電圧Vintでも電圧 $Vint / 2$ （ $= VCP = VBLP$ ）でも構わない。

【0106】（第2実施例）一方、方法1の場合、非活性のメモリセルアレイ50のカラムアドレス選択線YSに対応するI/Oゲートもオンする。そのため、非活性な（すなわち、プリチャージ状態の）ビット線BLおよび反

転ビット線#BLと、サブ入出力線subI/0および反転サブ入出力線#sub I/0 とが接続される。

【0107】従って、方法1の場合は、ビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLP と、サブ入出力線subI/0および反転サブ入出力線#sub I/0 のプリチャージ電圧VP とを等しくする必要がある。

【0108】この場合も、当然、各トランジスタP1、P2のゲート電圧(=プリチャージ電圧VP)とソース電圧VSとは等しくしなければならない(VBLP=VP=VS)。

【0109】しかしながら、方法1では、方法2のように各メモリセルアレイ50を選択するための信号線とコラムアドレス選択線YSとで論理をとる必要がない。そのため、方法1では、各メモリセルアレイ50を選択するための信号線や、論理をとる回路を設ける必要がなく、方法2より省面積化を図ることができる。

【0110】図7は、方法1を具体化した第2実施例のDRAMの要部回路図である。尚、図7において、図1に示した第1実施例と異なるのは、以下の①、②だけである。そこで、本実施例において、第1実施例と同じ構成については符号を等しくしてはその詳細な説明を省略する。また、本実施例において、第1実施例と同じ動作についても説明を省略する。

【0111】①補助リードアンプ11の各トランジスタP1、P2のソース電圧VSを、内部電源電圧Vintではなく、ビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPにしている。

【0112】②サブ入出力線subI/0および反転サブ入出力線#sub I/0に、クランパ(プリチャージ)13を設けている。クランパ13はPチャネルMOSトランジスタP3、P4から構成されている。すなわち、各トランジスタP3、P4のソースはそれぞれサブ入出力線subI/0および反転サブ入出力線#sub I/0に接続され、ゲートは接地されている。また、各トランジスタP3、P4のドレインには、ビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPが印加されている。

【0113】従って、オンした各トランジスタP3、P4によって、サブ入出力線subI/0および反転サブ入出力線#sub I/0にビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPが印加される。そのため、サブ入出力線subI/0および反転サブ入出力線#sub I/0のプリチャージ電圧VPとビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPとが等しくなる。

【0114】尚、書き込み動作において、サブ入出力線subI/0または反転サブ入出力線#sub I/0にHレベルのデータを書き込むために、各トランジスタP3、P4はノーマリオン型でなければならない。すなわち、本実施例において、クランパ13は書き込み動作時のプルアップ回路であり、補助ライトアンプ12は書き込み動作時のプルダウン回路であると見なすことができる。

【0115】また、各トランジスタP3、P4のゲートに制御信号を与え、読み出し及び書き込みの各動作において制御することも可能である。しかしながら、この場合は、各トランジスタP3、P4のゲートに与える制御信号とその制御信号線を設ける必要があるため、前記したような完全にデータ駆動型のデータ転送ができなくなる。

【0116】図2は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図4は、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。図9は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0117】(第3実施例)方法1において(すなわち、非活性なメモリセルアレイ50のサブ入出力線subI/0および反転サブ入出力線#sub I/0のプリチャージ電圧VPを、ビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPと等しくする)、活性化したメモリセルアレイ50のサブ入出力線subI/0および反転サブ入出力線#sub I/0の電圧だけを、プリチャージ電圧VBLP以上にするという方法(以下、方法3という)がある。

【0118】すなわち、方法3では、補助リードアンプ11のゲインが見かけ上大きくなるため、読み出し動作をより高速化することができる。図10は、方法3を具体化した第3実施例のDRAMの要部回路図である。尚、図10において、図7に示した第2実施例と異なるのは、以下の①、②だけである。そこで、本実施例において、第2実施例と同じ構成については符号を等しくしてその詳細な説明を省略する。また、本実施例において、第2実施例と同じ動作についても説明を省略する。

【0119】①補助リードアンプ11の各トランジスタP1、P2のソースを共通ソース線VSPに接続している。

②クランパ13の各トランジスタP3、P4のドレインを共通ソース線VSPに接続している。

【0120】非活性なメモリセルアレイ50において、共通ソース線VSPの電圧はビット線BLおよび反転ビット線#BLのプリチャージ電圧VBLPと等しくなっており、センスアンプ51aを非活性にしている(VS=VP=VSP=VBLP)。

【0121】一方、活性化したメモリセルアレイ50において、共通ソース線VSPの電圧は内部電源電圧Vintになるが、やはり、(VS=VP=VSP)の条件は保たれることになり、動作に不都合は生じない。

【0122】図11は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図12は、

活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。図9は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0123】(第4実施例)図13は、方法3を具体化した第4実施例のDRAMの要部回路図である。尚、図13において、図10に示した第3実施例と異なるのは、補助ライトアンプ12の各トランジスタN1、N2のソースを共通ソース線VSNに接続していることだけである。そこで、本実施例において、第3実施例と同じ構成については符号を等しくしてはその詳細な説明を省略する。また、本実施例において、第3実施例と同じ動作についても説明を省略する。

【0124】非活性なメモリセルアレイ50において、共通ソース線VSPの電圧はビット線BLおよび反転ビット線 $\bar{B}L$ のプリチャージ電圧VBLPと等しくなっており、センスアンプ51aを非活性にしている($V_S = V_P = V_{SN} = V_{BLP}$)。従って、補助ライトアンプ12も作動しなくなる。

【0125】そして、非活性なメモリセルアレイ50では、サブ出力線subI/0または反転サブ出力線 $\bar{sub}I/0$ にデータが書き込まれない。そのため、たとえ、ビット線BLまたは反転ビット線 $\bar{B}L$ とサブ出力線subI/0または反転サブ出力線 $\bar{sub}I/0$ が接続された場合でも、不要なデータをビット線BLおよび反転ビット線 $\bar{B}L$ に書き込むという無用な動作を行わなくなる。

【0126】図11は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図14は、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。尚、「VrS」は補助リードアンプ11の各トランジスタP1、P2のソース電圧VrS、「VwS」は補助ライトアンプ11の各トランジスタN1、N2のソース電圧VwSを示している。図15は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0127】(第5実施例)図16は、方法3を具体化した第5実施例のDRAMの要部回路図である。尚、図16において、図13に示した第4実施例と異なるのは、補助リードアンプ11の各トランジスタP1、P2のソースに、NチャネルMOSトランジスタN3を介して内部電源電圧Vint等の適当な電圧(但し、ビット線BLおよび反転ビット線 $\bar{B}L$ のプリチャージ電圧VBLPより高い電圧)を印加していることだけである。そして、トランジスタN3のゲートは制御信号線SNに接続している。そこで、本実施例において、第4実施例と同じ構成については符号を等しくしてはその詳細な説明を省略する。また、本実施例において、第3実施例と同じ動作についても説明を省略する。

【0128】活性化したメモリセルアレイ50においてのみ、制御信号線SNの電圧はHレベルになっている。そのため、活性化したメモリセルアレイ50のトランジスタN3だけがオンし、その活性化したメモリセルアレイ50の補助リードアンプ11だけが活性化する($V_S = V_P = V_{int}$)。

【0129】従って、本実施例では第3実施例に比べて、共通ソース線VSPにかかる負担を軽減することができ、センス動作の高速化を阻害することがない。図11は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図14は、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。図15は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0130】(第6実施例)図17は、第6実施例のDRAMの要部回路図である。尚、図17において、図7に示した第2実施例と異なるのは、クランパ13(すなわち、プルアップ回路)の各トランジスタP3、P4のゲートをそれぞれ、グローバル入出力線GI/0および反転グローバル入出力線 $\bar{GI}/0$ に接続したことだけである。

【0131】本実施例では、書き込み動作において、クランパ13も補助ライトアンプ12(すなわち、プルダウン回路)と同様に、グローバル入出力線GI/0および反転グローバル入出力線 $\bar{GI}/0$ によってデータ駆動されることになる。

【0132】その他の動作について、本実施例と第2実施例とは全て同じであるので説明を省略する。図2は、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。図8は、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。図4は、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。図9は、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【0133】尚、本発明は上記各実施例に限定されるものではなく、以下のように実施してもよい。

1) 補助リードアンプ11の各PチャネルMOSトランジスタP1、P2をNチャネルMOSトランジスタに置き換えると共に、補助ライトアンプ12の各NチャネルMOSトランジスタN1、N2をPチャネルMOSトランジスタに置き換える。

【0134】この場合は、プリチャージ状態における各入出力線のレベルを上記各実施例と反対にする。すなわち、サブ出力線subI/0および反転サブ出力線 $\bar{sub}I/0$ はLレベルにプリチャージしておき、グローバル入出力線GI/0および反転グローバル入出力線 $\bar{GI}/0$ はHレベルにプリチャージしておく。

【0135】2) クランパ13の各PチャネルMOSト

ランジスタP3, P4をNチャネルMOSトランジスタに置き換える。

3) 補助リードアンプ11の各トランジスタP1, P2のドレインをそれぞれ、グローバル入出力線GI/0および反転グローバル入出力線#GI/0に接続するのではなく、反転グローバル入出力線#GI/0およびグローバル入出力線GI/0に接続する。それと同時に、補助ライトアンプ12の各トランジスタN1, N2のゲートをそれぞれ、グローバル入出力線GI/0および反転グローバル入出力線#GI/0に接続するのではなく、反転グローバル入出力線#GI/0およびグローバル入出力線GI/0に接続する。

【0136】この場合、サブ入出力線subI/0および反転サブ入出力線#subI/0とグローバル入出力線GI/0および反転グローバル入出力線#GI/0との間で相互に転送されるデータは、それぞれ同じレベルになる。すなわち、サブ入出力線subI/0がHレベル（反転サブ入出力線#subI/0がLレベル）なら、グローバル入出力線GI/0もHレベル（反転グローバル入出力線#GI/0もLレベル）になる。

【0137】4) 内部電源電圧Vintを外部電源電圧VCCに置き換える。

5) 補助リードアンプ11または補助ライトアンプ12をそれぞれ単独で実施する。また、上記各実施例の補助リードアンプ11または補助ライトアンプ12の接続方法を、それぞれ上記とは異なる組み合わせで実施する。

【0138】

【発明の効果】以上詳述したように本発明によれば、省面積化および高速化が実現可能であると共に、読み出し動作時にデータの破壊を起こさない半導体記憶装置を、簡単な構成によって提供することができる優れた効果がある。

【図面の簡単な説明】

【図1】第1実施例のDRAMの要部回路図である。

【図2】第1, 2, 6実施例において、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。

【図3】第1実施例において、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。

【図4】第1, 2, 6実施例において、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図5】第1実施例において、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図6】各実施例のDRAMの実際の半導体チップ上における配置を示す平面図である。

【図7】第2実施例のDRAMの要部回路図である。

【図8】第2～6実施例において、非活性な別のメモリセルアレイ50における読み出し動作時のタイムチャートである。

トである。

【図9】第2, 3, 6実施例において、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図10】第3実施例のDRAMの要部回路図である。

【図11】第3, 4, 5実施例において、活性化しているメモリセルアレイ50における読み出し動作時のタイムチャートである。

【図12】第3実施例において、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図13】第4実施例のDRAMの要部回路図である。

【図14】第4, 5実施例において、活性化しているメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図15】第4, 5, 15実施例において、非活性な別のメモリセルアレイ50における書き込み動作時のタイムチャートである。

【図16】第5実施例のDRAMの要部回路図である。

【図17】第6実施例のDRAMの要部回路図である。

【図18】従来例のDRAMの構成を示すブロック回路図である。

【図19】従来例のDRAMの構成を示すブロック回路図である。

【図20】図18および図19に示すDRAMのセンスアンプ51aを示す回路図である。

【図21】従来例のDRAMにおけるセンスアンプとその周辺回路を示す回路図である。

【図22】従来例のDRAMの要部回路図である。

【図23】従来例のDRAMの要部回路図である。

【図24】ワード線裏打ち部を説明するための半導体チップ平面図である。

【図25】図23に示すDRAMの読み出し動作時のタイムチャートである。

【符号の説明】

11 補助リードアンプ
12 補助ライトアンプ
50 メモリセルアレイ
51a センスアンプ
61 補助アンプ
62 メインアンプ
YS, GYS カラムアドレス選択選択線
subI/0 サブ入出力線
#subI/0 反転サブ入出力線
GI/0 グローバル入出力線
#GI/0 反転グローバル入出力線
P1, P2 PチャネルMOSトランジスタ
N1, N2 NチャネルMOSトランジスタ

【手続補正2】

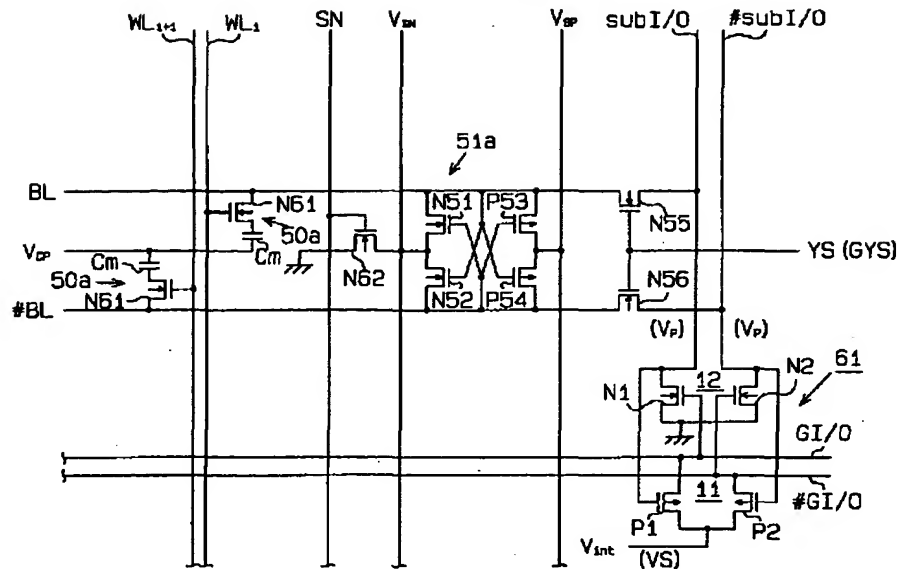
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正3】

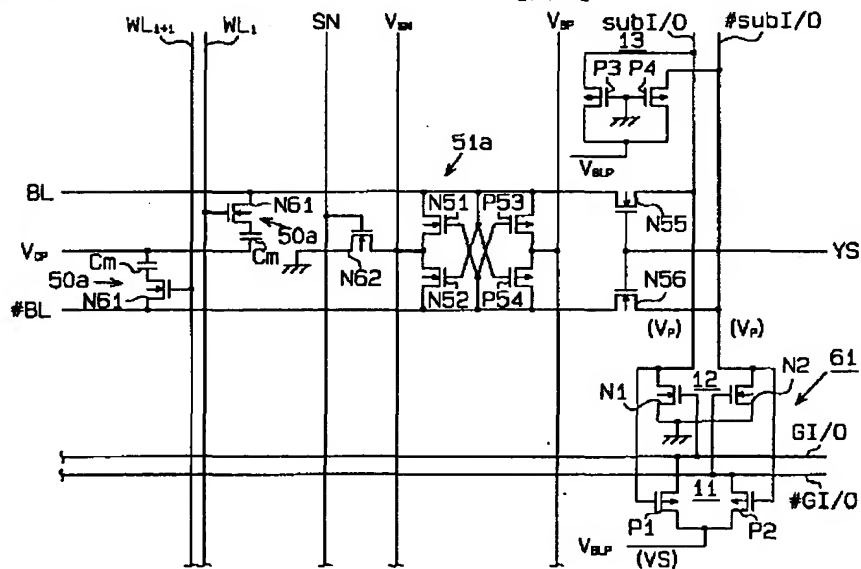
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



【手続補正4】

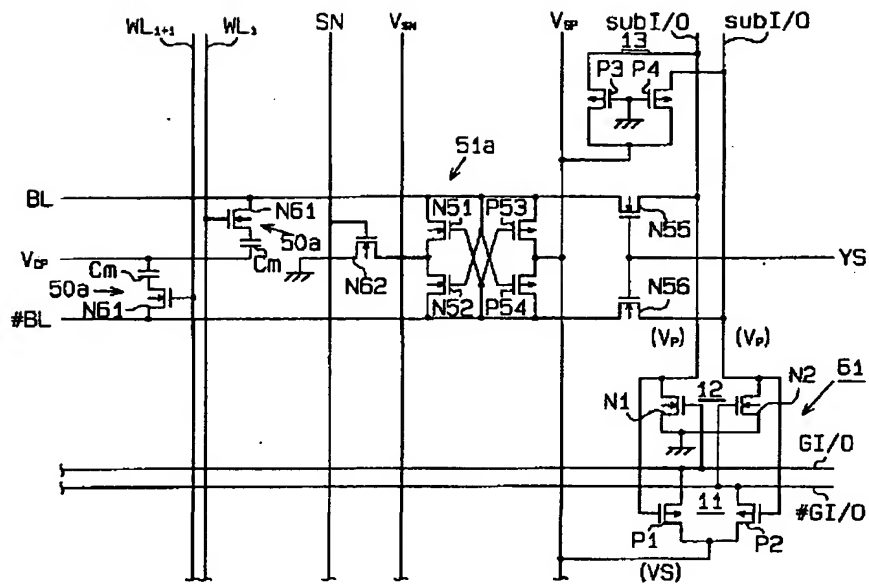
【補正対象書類名】図面

【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】



【手続補正 5】

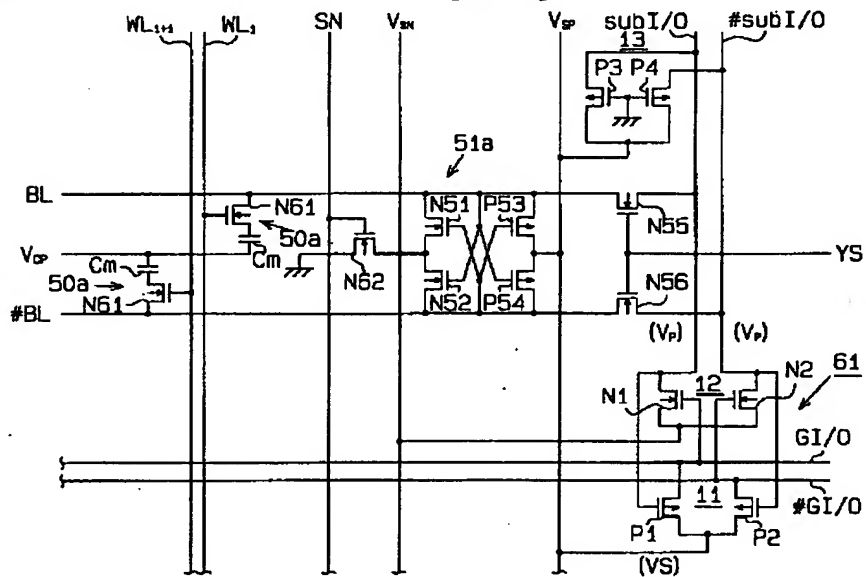
【補正対象書類名】図面

【補正対象項目名】図 1 3

【補正方法】変更

【補正内容】

【図 1 3】



【手続補正 6】

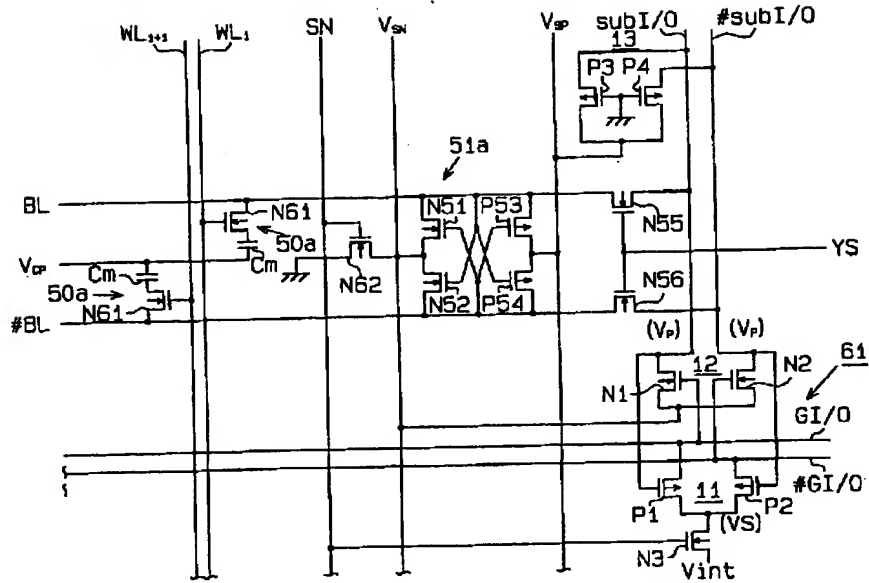
【補正対象書類名】図面

【補正対象項目名】図 1 6

【補正方法】変更

【補正内容】

【図 1 6】



【手続補正 7】

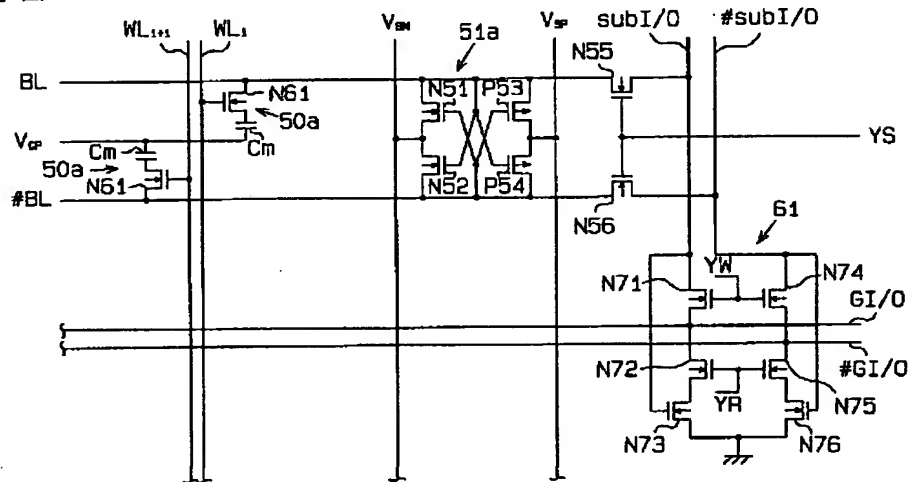
【補正対象書類名】図面

【補正対象項目名】図 2 3

【補正方法】変更

【補正内容】

【図 2 3】



フロントページの続き

(72)発明者 谷 邦之

大阪府守口市京阪本通 2 丁目 18 番地 三洋
電機株式会社内

(72)発明者 高野 洋

大阪府守口市京阪本通 2 丁目 18 番地 三洋
電機株式会社内